



上海交通大学

Shanghai Jiao Tong University



2025 RISC-V 中国峰会

融合RISC-V开放平台的数字逻辑 与SoC设计教育实践

孙亚男

上海交通大学 集成电路学院

2025年7月18日



目录

- **融合RISC-V开放平台的数字逻辑与SoC设计课程**
- **融合RISC-V产学合作协同育人的校企共建课程**
- **总结与展望**



数字逻辑与SoC设计教育实践总览

主要课程

- 数字逻辑设计
 - 本科大二
- 集成电路设计前沿技术
 - 本科大三
 - 研究生一年级
- SoC设计方法
 - 本科大三
 - 研究生一年级
- 数字集成电路设计
 - 本科大三

核心方法

融合开放RISC-V平台的数字逻辑前沿设计方法

SoC系统级别验证与软硬件协同开发方法

实施产学合作协同育人包括RISC-V等领域业界专家

教学实践

- 国家级一流本科课程
- 上海市一流本科课程
- 教育部产学合作协同育人项目
- 上海交通大学重点课程、双一流校企课程、本科课程思政示范课程、人工智能赋能（AI+）课程



培养具有社会责任感、创新精神、实践能力、专业情怀和全球视野的集成电路设计高质量人才



目录

- **融合RISC-V开放平台的数字逻辑与SoC设计课程**
 - **课程概述与教学设计**
 - **课程教学案例**

- **融合RISC-V产学合作协同育人的校企共建课程**

- **总结与展望**



数字逻辑与SoC设计系列课程概况

构建“理论教学-开源平台-产业案例”三位一体课程框架，贯通数字逻辑到RISC-V SoC芯片全链路教学

理论筑基

数字逻辑设计概述

语法 IC设计 开源ISA

SoC设计流程

SoC基本模块 SoC设计流程

AI芯片介绍

设计指标 前沿成果

开源平台



基于FPGA设计实践



产业案例

结合产业RISC-V开源代码案例讲解

附录1: SoC结构讲解

状态机设计
-> 两级或状态机框架
-> 组合逻辑 (描述状态转移)
-> 时序逻辑 (判断状态转移条件)

三元操作符使用:
- 快捷初始化:
- 组合逻辑电路():

附录1: 源码语法讲解

- Parameter定义
- 默认单比特变量定义
- 命名规范
- Parameter使用语法
- 多比特变量定义规范
- 变量类型: reg / wire
- 输入输出端口定义
- 位置声明
- 位逻辑操作
- 信号索引
- 时序逻辑敏感变量设置
- 阻塞 / 非阻塞赋值

基于开放RISC-V平台，融合集成电路与人工智能交叉学科思维，实施“筑情怀-深基础-求创新”，强化实践创新和课程思政，培养集成电路设计高质量人才



融入RISC-V的数字逻辑与SoC设计课程教学设计

引入**业界先进**处理器和硬件平台

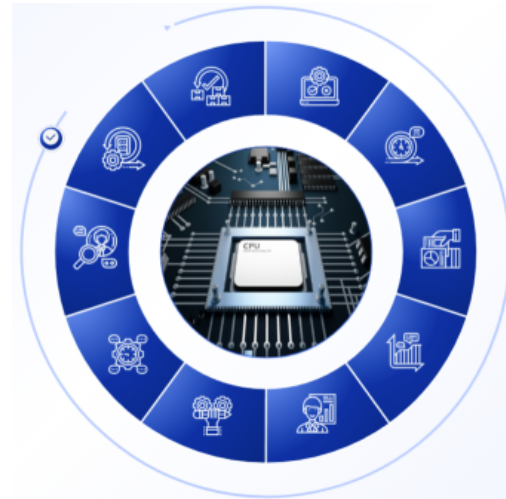
在理论教学，引进了国内自主研发的RISC-V处理器；

在语法教学，引进了国内RISC-V开源代码解读作为实际案例；

在实验教学，引进了开源RISC-V SoC硬件平台（如芯来蜂鸟）作为实验支撑。



以产促教

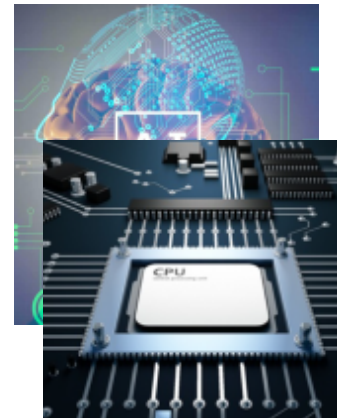


产教融合

注重**学科交叉**和**产教融合**

在教学内容，将人工智能热点领域和集成电路产业发展有机融合；

在教学研讨，引入最新RISC-V相关国际学术前沿研究热点和业界先进技术案例。





数字逻辑与SoC设计课程教学创新实践

1 案例教学

- 传统讲解示例多数是国外处理器芯片
- 亟需引入国内自主研发的新款处理器作为重点案例

2 理论教学优化

- 传统硬件描述语言的语法理论教学容易单一枯燥
- 需要适应快速的技术更新

3 实验教学拓展

- 缺乏完整开源且清晰可用的平台设计资源
- 传统实验内容维度单一
- 应用展示度及创新施展空间小

产教融合

课程改革

创新驱动

立足国产

- 国产自主研发蜂鸟等RISC-V处理器
- 以芯来旗下多款芯片为重点讲解案例
- 激发学生投身国产芯片研发行业的热情和社会责任感

夯实基础

- 以蜂鸟e203系列开源代码为案例，在语法知识点中穿插典型源码解读
- 课后RISC-V SoC芯片自主调研
- 激发学生学习兴趣并夯实理论基础

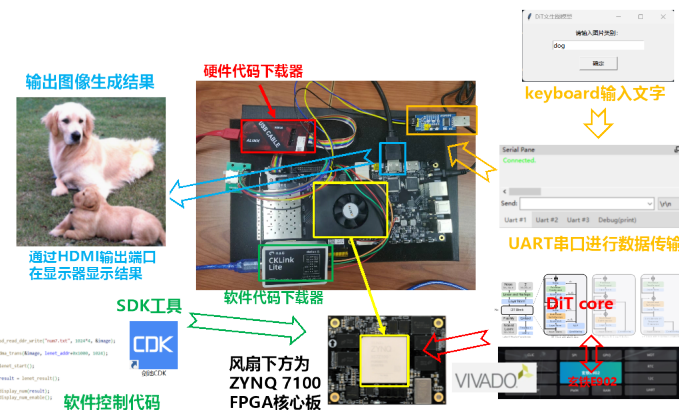
拓展前沿

- 蜂鸟CPU、SoC及FPGA
- 围绕神经网络加速器及不同应用场景，提供多维度实验案例，打造“基础-进阶”递进式实践内容
- 引入国际学术前沿研究热点，激发学生创新意识

芯来国产CPU



创新实验





目录

- **融合RISC-V开放平台的数字逻辑与SoC设计课程**
 - **课程概述与教学设计**
 - **课程教学案例**

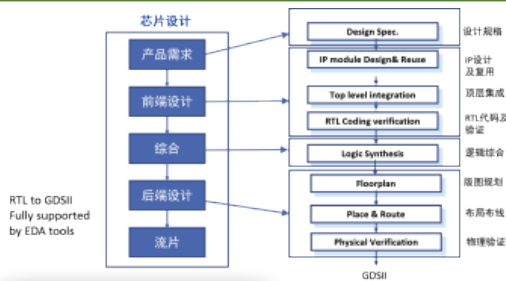
- **融合RISC-V产学合作协同育人的校企共建课程**

- **总结与展望**



融入RISC-V SoC平台的SoC设计理论教学

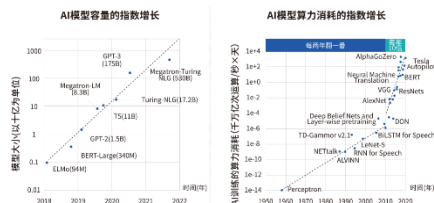
SoC与设计流程概述



SoC设计流程

开源 SoC 工作原理

指令集扩展方法



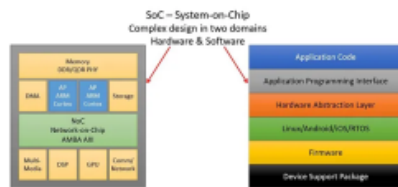
AI算力需求增加

早期探索阶段 (2017-2018) v1.0 正式版 (2021年冻结)

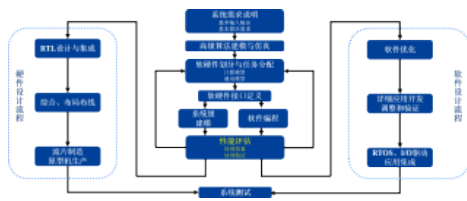
RISC-V V扩展

草案迭代阶段 (2018-2020)

软硬件协同设计



软硬件接口设计



AI芯片介绍及前沿技术展望

以“含光800”为例，介绍AI芯片设计指标；介绍产界及课程组的芯片设计技术和成果



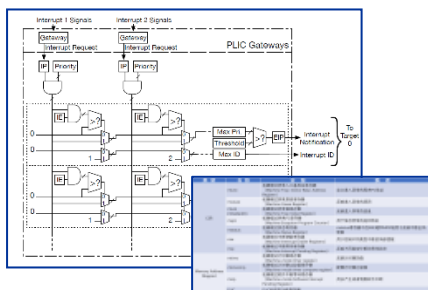
从设计流程到实现方法

RISC-V中断与异常概述

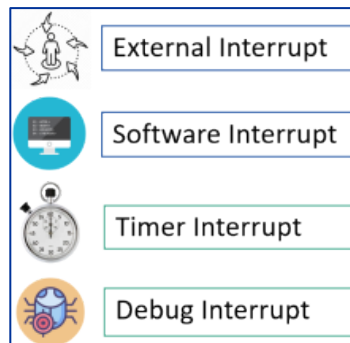
RISC-V中断与异常分类



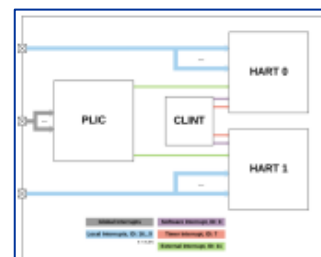
RISC-V异常处理机制



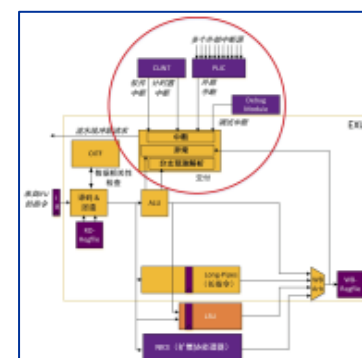
RISC-V中断处理机制



RISC-V中断定义
RISC-V中断控制器



实例：蜂鸟E203的处理机制

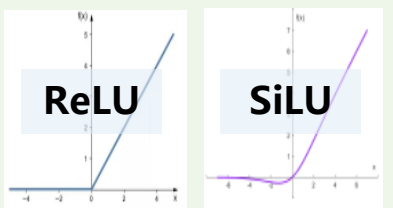




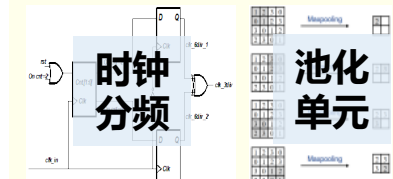
RISC-V融入实践教学案例 — LeNet加速器

实验基础

组合逻辑设计



时序逻辑设计



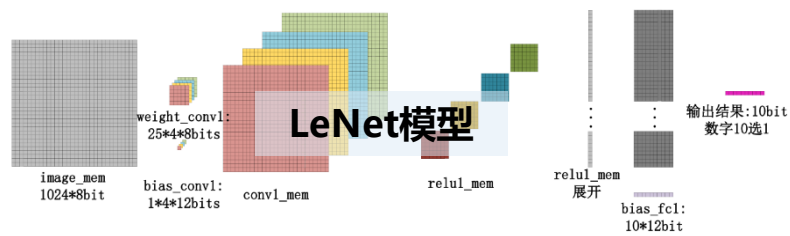
状态机设计



经典序列检测问题

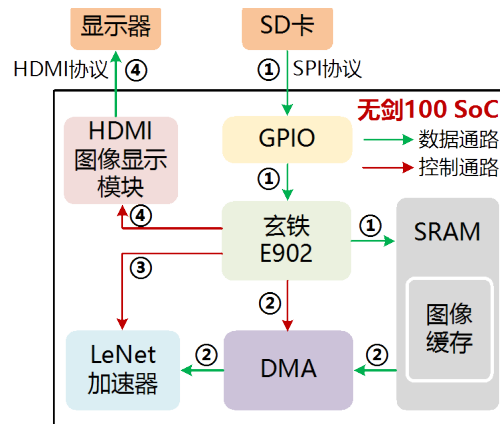
非重复/重复序列检测

数字逻辑设计基础



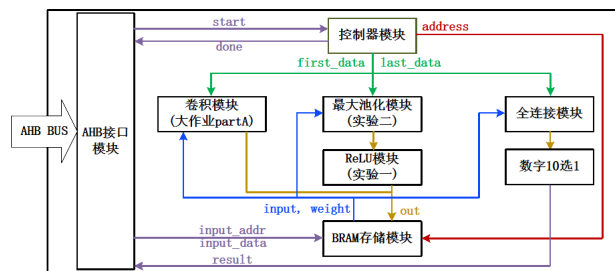
LeNet 网络结构：从左到右依次为卷积层、池化层、全连接层

RISC-V融入



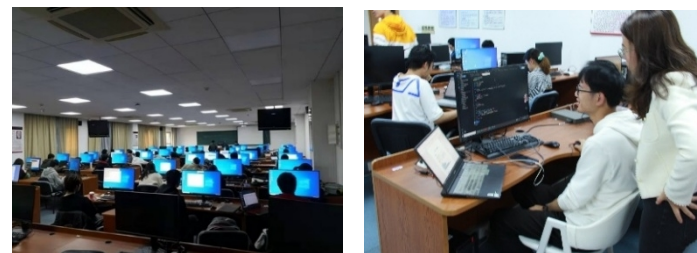
针对LeNet神经网络的无剑SoC系统示意图

RISC-V SoC平台应用融入实验教学



LeNet加速器结构图

效果展示



LeNet手写数字识别效果展示图：(a)-(b)课堂情况；(c)实验开发板；(d)显示结果输出

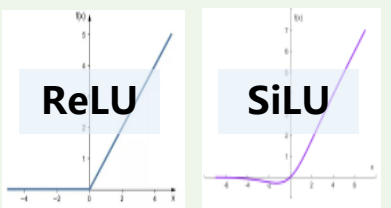
基于玄铁E902 RISC-V处理器和无剑100 SoC，构建挂载LeNet加速器神经网络加速系统，实现LeNet模型部署与手写数字识别功能加速



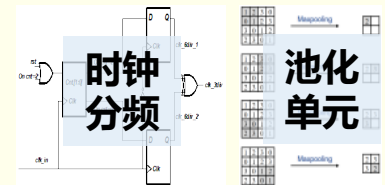
RISC-V融入实践教学案例 — YOLOv3加速器

实验基础

组合逻辑设计



时序逻辑设计



状态机设计



经典序列检测问题

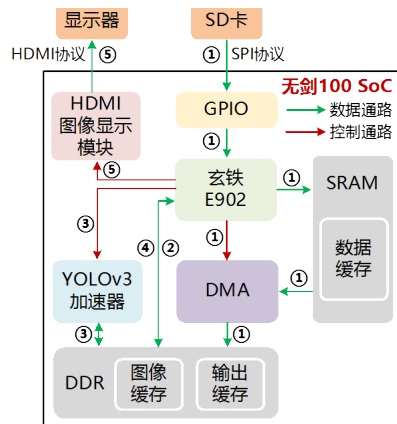
非重复/重复序列检测

Yolov3模型



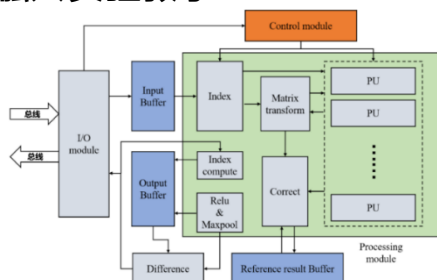
YOLOv3网络结构

RISC-V融入



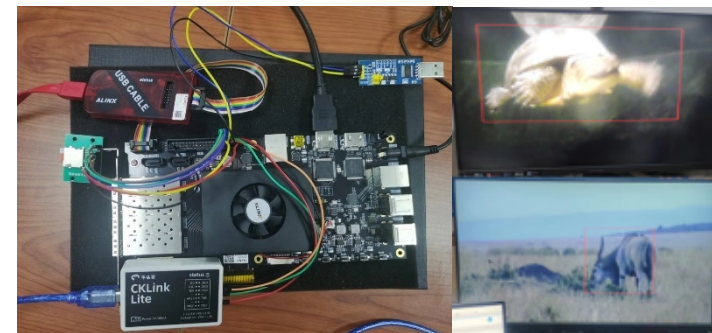
针对YOLOv3神经网络的无剑SoC系统示意图

RISC-V SoC平台应用融入实验教学



YOLOv3加速器结构图

效果展示



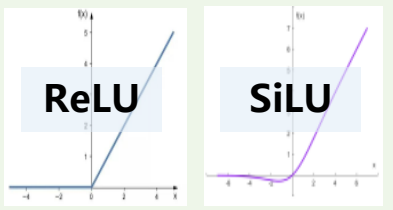
YOLOv3图像目标检测效果展示图：(a)实验开发板；(b)显示结果输出

□ 基于玄铁E902 RISC-V处理器和无剑100 SoC，构建挂载YOLOv3加速器神经网络加速系统，实现YOLOv3模型部署与图像目标检测功能加速

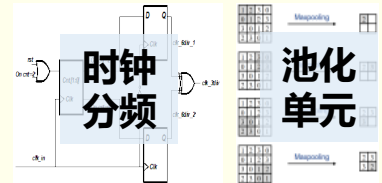
RISC-V融入实践教学案例 — DiT加速器

实验基础

组合逻辑设计



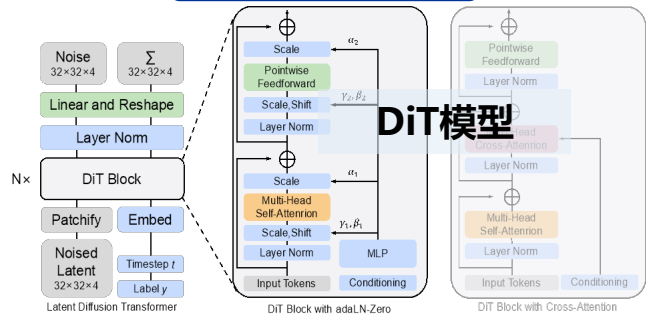
时序逻辑设计



状态机设计



数字逻辑设计基础



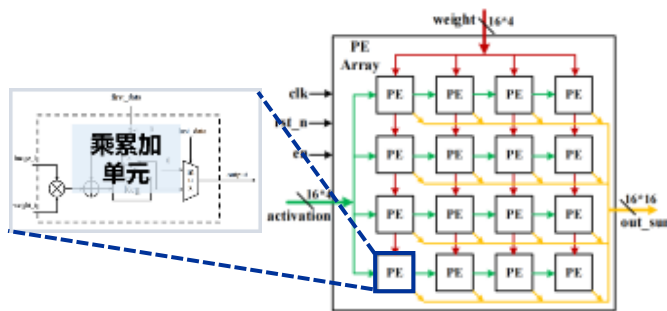
YOLOv3网络结构

RISC-V融入



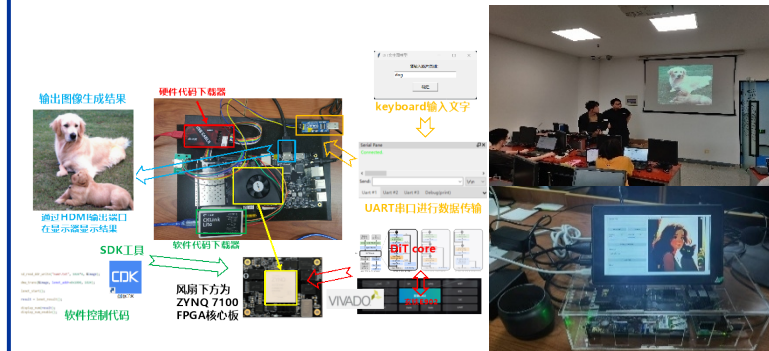
针对DiT神经网络的无剑SoC系统示意图

RISC-V SoC平台应用融入实验教学



DiT NN加速器结构图

效果展示



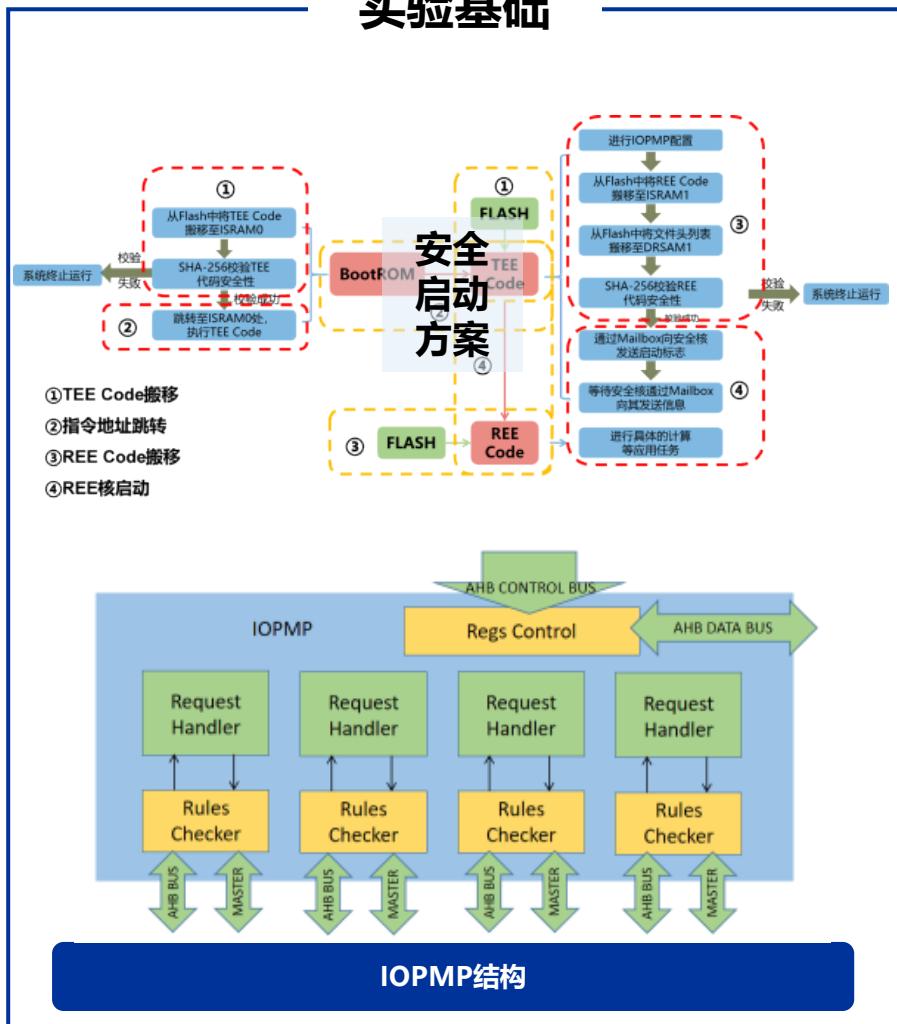
DiT图像生成效果展示图: (a)实验实现流程; (b)生成图像显示结果输出

□ 基于玄铁E902 RISC-V处理器和无剑100 SoC, 构建挂载DiT加速器神经网络加速系统, 实现DiT模型部署与图像生成功能加速

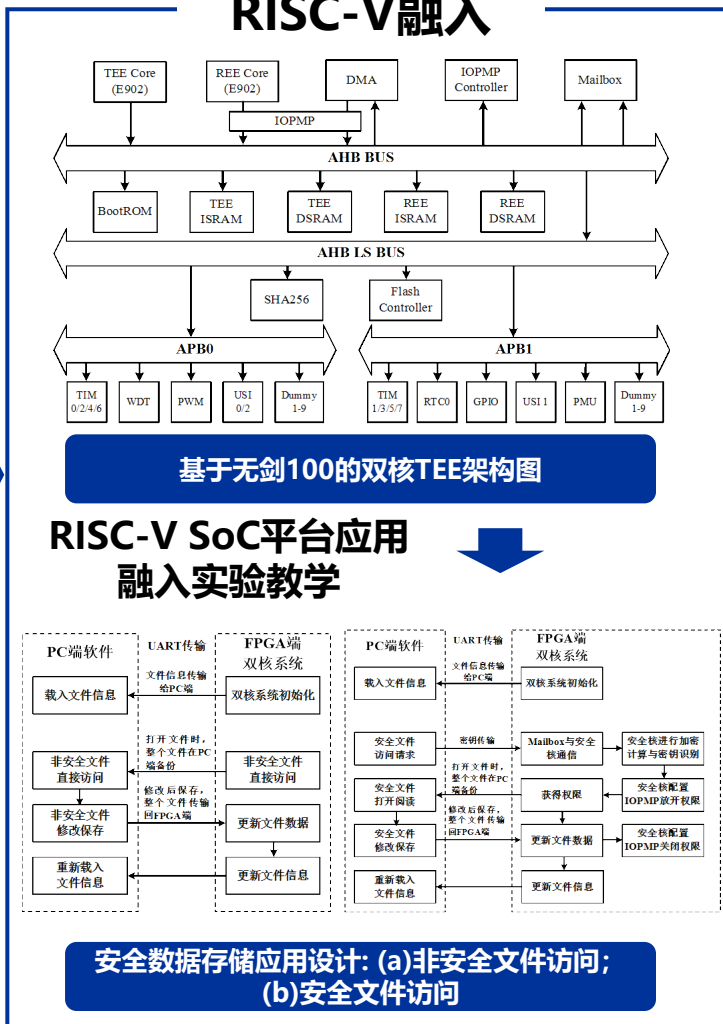


RISC-V融入实践教学案例 — 双核TEE安全系统

实验基础



RISC-V融入

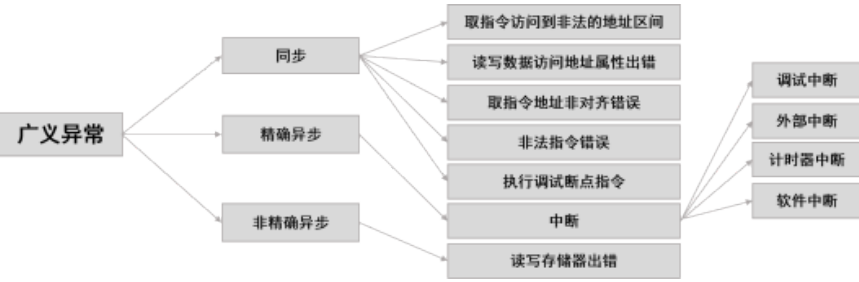


效果展示

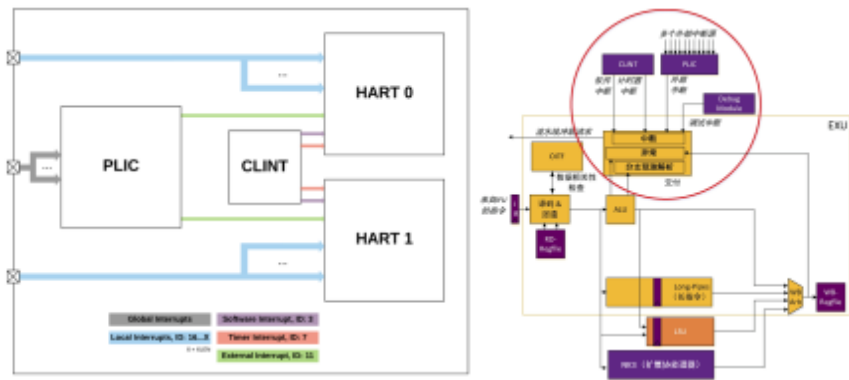


□ 基于玄铁E902 RISC-V处理器和无剑100 SoC, 构建一个双核TEE (Trusted Execution Environment, 可信执行环境) 安全系统, 实现对敏感信息的保护、数据隔离和安全执行的功能

实验基础

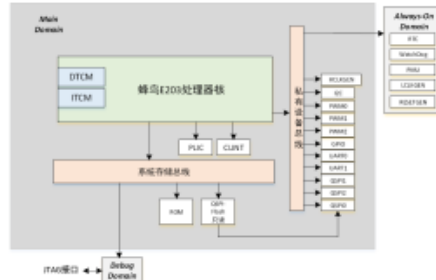


RISC-V中断和异常分类



RISC-V中断处理机制：(a)中断控制器；(b)蜂鸟E203中断处理机制

RISC-V融入



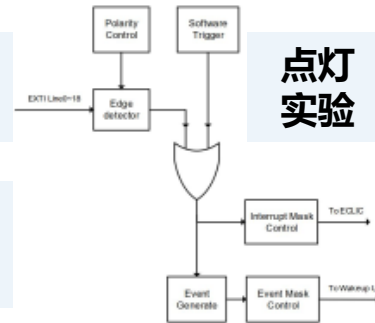
蜂鸟E203 SoC系统示意图

RISC-V SoC平台应用融入实验教学

定时器中断

软件中断

基于蜂鸟E203的RISC-V中断实验



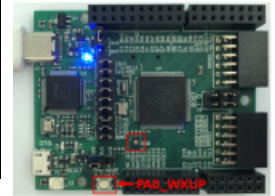
效果展示

```
Nuclei SDK Build Time: Jan 20 2021, 15:50:22
Download Mode: FLASHXIP
CPU Frequency 107730000 Hz
Init timer and start
MTimer IRQ handler 1
MTimer IRQ handler 2
MTimer IRQ handler 3
MTimer IRQ handler 4
MTimer IRQ handler 5
MTimer IRQ handler 6
MTimer IRQ handler 7
MTimer IRQ handler 8
MTimer IRQ handler 9
MTimer IRQ handler 10
MTimer SW IRQ handler 1
MTimer SW IRQ handler 2
MTimer SW IRQ handler 3
MTimer SW IRQ handler 4
MTimer SW IRQ handler 5
MTimer SW IRQ handler 6
MTimer SW IRQ handler 7
MTimer SW IRQ handler 8
MTimer SW IRQ handler 9
MTimer SW IRQ handler 10
MTimer msp and mtip interrupt test finish and pass
```



a. RGB LED = Red

Press the Key Status Changes



b. RGB LED = Off

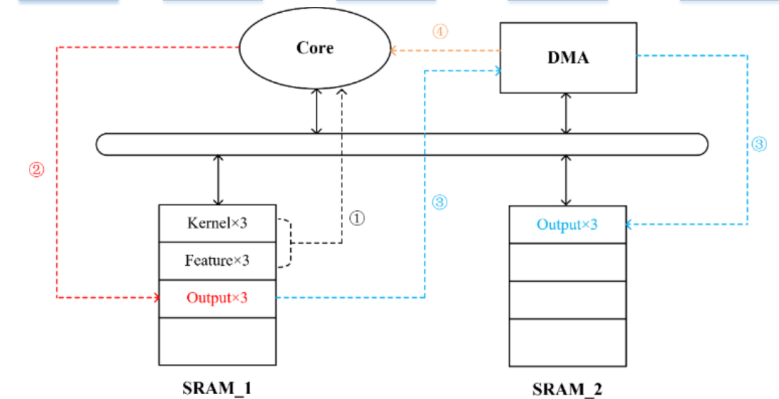
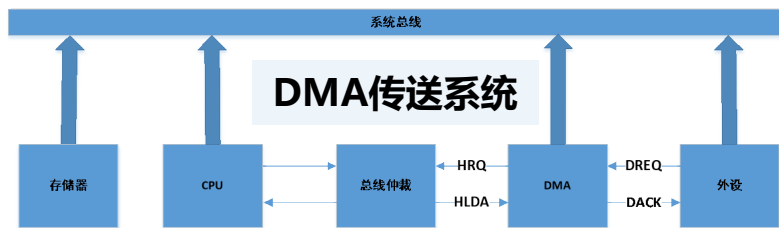
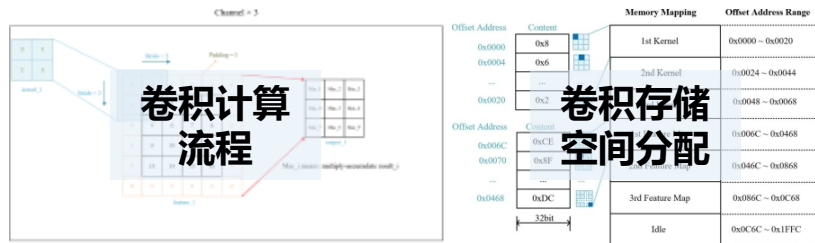
中断实验效果展示图：(a)定时器中断与软件中断实验；(b)外部中断-点灯实验

□ 基于E203 SoC 平台的集成，使用 FPGA 平台完成多种中断实验，包括定时器中断、软件中断与外部中断，其中外部中断实验实现部署了E203 SoC FPGA平台的点灯

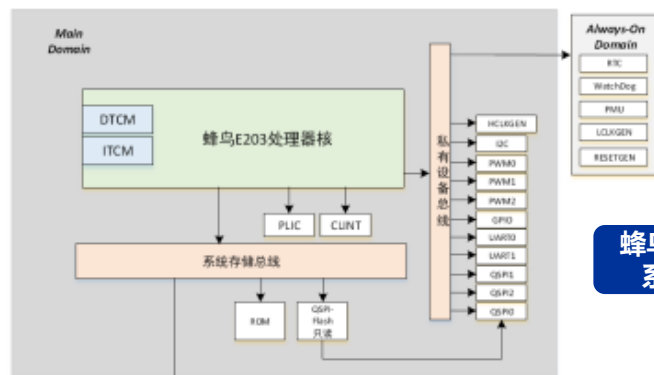


RISC-V融入实践教学案例 — DMA设计

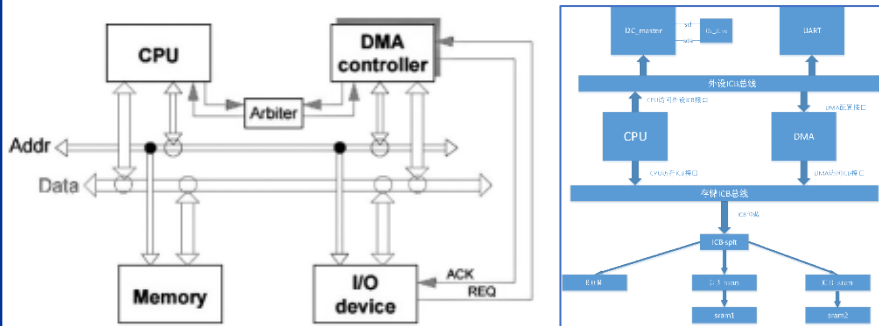
实验基础



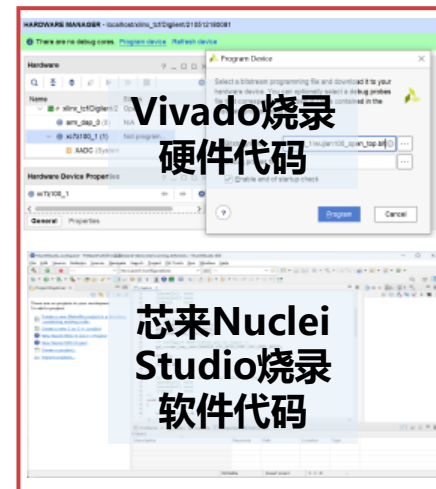
RISC-V融入



RISC-V SoC平台应用融入实验教学



效果展示



FPGA 上板验证

- 基于蜂鸟E203 SoC挂载DMA控制器，分别实现CPU数据处理与DMA数据搬运的功能，最终进行DDR200T上板验证，通过串口输出数据搬运结果



课程教学案例-前沿文献调研与阅读

论文调研

论文调研
3月27日 | 0分

paper.xlsx

PaperList.zip

【说明】根据所提供的论文集（paper.xlsx文档及对应论文的pdf文件压缩包），自行选择1篇论文进行研读，并形成一篇中文技术文档总结报告，其中总结报告主体内容建议包括：所调研的论文题目、论文的研究背景和研究现状、拟解决的技术挑战、所提出的技术内容、总结和未来发展等。上述总结报告提交截止日期位为3月27日晚23:59。

论文研读总结报告

——GPT4AIChip: 通过大型语言模型实现下一代人工智能加速器设计自动化

王睿涵 521030910339

1 研究背景

随着 AI 的能力越来越强，AI 算法的复杂度和计算量提高，对于专用 AI 加速器的需求也越来越迫切。但是，AI 的特定功能非常多，想要设计这些专用型的 AI 加速器依然需要大量的工作量和研发时间，虽然现有的电子设计自动化工具可以一定程度上减轻人们编写代码的负担，但这些工作需要人们具有硬件的专业知识，给非硬件专业的人设置了门槛，阻碍了 AI 加速器的发展。而最近大语言模型快速发展启发了论文作者，他们想要利用大语言模型设计出更好的自动化设计工具。于是他们设计了一款名为 GPT4AIChip 的框架，可以使用人类的自然语言进行自动化设计，而不是专用的硬件描述语言，让更多非专业的人能够轻松地参与 AI 加速器的设计之中。

GPT4AIChip 的提出是目前首个基于大语言模型的 AI 加速器设计工具，是这个领域的创新性研究。

2 拟解决的技术挑战

论文作者首先进行实验探究现有的 LLM 是否有能力生成加速器的设计，作者首先用现有的 HLS（高层综合）模版给 LLM 作为激励，使 LLM 基于这个激励生成要求的代码，但是出现了以下问题：

(1) 定义错误，LLM 不能正确地把指令中的变量定义翻译成代码，导致一些变量和函数的定义错误。

论文调研——技术文档总结报告

522030910168 王湛源

所调研的论文题目：

GPT4AIChip: 通过大型语言模型实现下一代人工智能加速器设计自动化

论文的研究背景：

现今 AI 的研究火热，无论是底层算法还是硬件方面都在不断研发中突显出了各式各样的需求。单就 AI 加速器方面，目前来说，为各种人工智能工作负载设计这些加速器仍然是劳动密集型和资源密集型的，且需要大量的硬件专业知识，这对非专家构成了障碍。但是研究团队放眼大型语言模型 (LLM) 在响应人类语言指令生成高质量内容方面的惊人潜力，从 LLM 入手研究利用 LLM 实现人工智能加速器设计自动化的可能。

这篇论文着眼于 AI 加速器的提升角度，探索用大语言模型实现加速器设计自动化实现，并介绍了实验团队的研究成果 GPT4AIChip——利用人类自然语言演示人工智能加速器设计的框架。

研究现状：

针对现有 LLM 生成人工智能加速器设计的优秀能力，研究团队提出了三个利用 LLM 的要点，并就如何在设计自动化管道中有效利用当前 LLM 特性做出了相对应的技术研发工作。基于此，研究团队研发出了框架 GPT4IChip，通过构建一个用 HLS 编写的解耦加速器设计模板，实例化了一种通用 LLM 驱动的人工智能加速器设计自动化管道，将加速器设计的不同硬件模块和功能解耦，首次实现了 LLM 驱动的人工智能加速器设计自动化。

目前而言，研发成果 GPT4IChip 框架在生成高质量人工智能加速器设计方面的有效性显著，同时减少了设计过程中所需的人力和专业知识。但是当前 LLMs 在人工智能加速器设计时仍有较大的局限性。

拟解决的技术挑战：

针对 LLMs 的局限性，目前存在以下技术挑战：

1. 变量定义解释错误。LLM 经常难以对变量或函数进行精确定义，会导致难以准确地实例

□ 课后布置集成电路前沿论文研读和开放式题目

□ 实现**数字逻辑SoC芯片与人工智能的学科交叉融合**，结合不同学科的理论和方法，使得学生能够跳出传统框架，进行创新性思考，从而培养学生的**创新思维能力和批判性思维能力**

□ 通过文献研读帮助学生了解前沿技术，培养学生**进取创新的科学精神和专业情怀**



数字逻辑与SoC设计课程效果 — 学生评价

□ 学生与老师交流活跃，兴趣浓厚，对课堂教学与实验教学内容安排满意，教学效果显著

“上机时助教直接站在身后手把手教我用 ModelSim 看波形，老师和助教很热情很负责，实验安排也很严谨”

“上机项目内容非常有意思，也很有挑战性，完成后成就感很好”

“实验设计的难度梯度非常舒服，理论与实践兼顾，帮助我快速掌握课堂知识”

“课堂上以产业开源代码为实际案例，讲解重要知识点时穿插典型的源代码解读，学习非常高效！”

互动 注重反馈 热情负责 安排合理 工程实践
 工程思维 严谨 课程重点突出 系统性
 老师助教认真负责
 阶梯式实验设计 系统性
 理论实践兼顾
 挑战性 收获满满 深入浅出 亲和热情
 耐心解答 创新 生动形象 安排合理

经过第二、三次实验，你觉得实验二（简单时序逻辑电路）、实验三（状态机电路）与理论Verilog语法教学衔接的进度安排是否合理？

两次上机实验过程中，课堂实验过程中所获得的帮助指导是否充分？

充分，帮助较多	3 回应者	100%	<div style="width: 100%;"></div> ✓
一般，存在遗留问题		0%	
自己解决了，不太需要帮助		0%	
因特殊情况两次上机都没能参加		0%	

你认为目前三次课程的讲课清晰度如何？

十分清晰	1 回应者	50%	<div style="width: 50%;"></div> ✓
基本清晰	1 回应者	50%	<div style="width: 50%;"></div>
不太清晰		0%	

合理，课堂时间即可跟上进度	3 回应者	100%	<div style="width: 100%;"></div> ✓
适中，需要课外花费一定时间		0%	
不太合理，难以跟上进度		0%	



目录

- 融合RISC-V开放平台的数字逻辑与SoC设计课程
- 融合RISC-V产学合作协同育人的校企共建课程
 - 课程概述与教学设计
 - 课程教学案例
- 总结与展望



校企共建课程概况

校企课程**聚焦国家重大战略需求**，着力培养一批基础理论功底扎实、专业技术能力和水平突出，具备较强工程技术创造能力，善于解决复杂工程技术难题的**高层次人才**

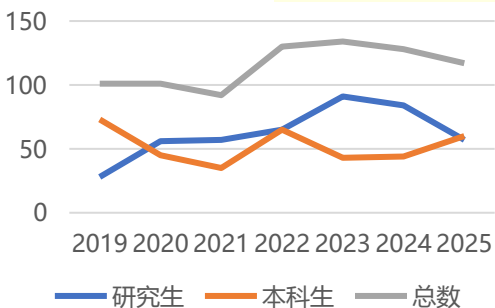
- 高度符合教育部等七部委关于加强集成电路人才培养意见、新时期信息技术产业发展战略重点等重要文件精神
- 积极推进以半导体龙头企业为重心、以半导体产业链关键“卡脖子”技术为抓手的产学研合作协同育人



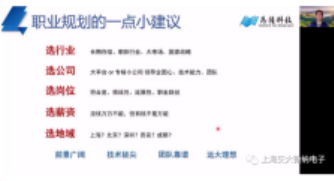
- 目前累计已有**30多家**半导体芯片龙头企业和**100余位**企业专家参与了校企课程
- 获得我系官方网站/微信公众号新闻追踪报道
- 获得我校“双一流优质课程建设项目”

研究生专业选修课程 “集成电路设计前沿技术”

本科生科技创新类选修课 “微纳电子技术前沿讲座”



选课人数保持高水平





校企共建课程 — 产学合作协同育人

优质专家库

- 遴选了优质校外专家库，包括半导体龙头企业的**技术总监**及**一线技术骨干**

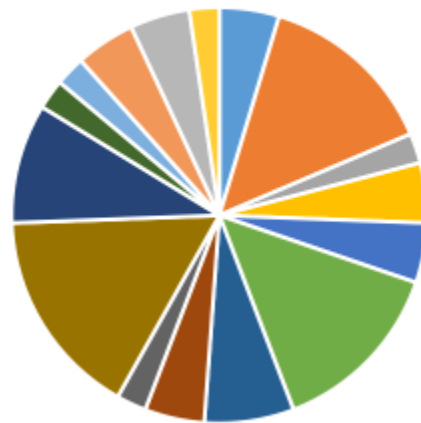
优质企业库

- 建设了涵盖**集成电路全产业链**的校企联合人才培养优质企业库，包括**中国内地最大的无晶圆厂芯片设计公司**华为海思、**内地最大晶圆制备商**上海中芯国际、**国际EDA软件行业巨头**Cadence和Synopsys、**封装测试龙头公司**安靠和德州仪器等

涵盖内容及知识框架

- 通过专题讲座形式，讲解工业界实际技术发展路线和产品**整体设计流程**，涉及先进器件工艺、数字/模拟电路设计技术、系统架构、验证、后端设计、质量与可靠性测试、封装技术、人工智能等重要方向

目前企业分布
(欢迎更多企业加入)



目前方向分布





数字逻辑与SoC设计课程教学特点

专项联培企业为重点的产学合作

- 建立半导体领域优质企业专家库，为学生后续联培、学习、科研、就业等奠定基础
- 产学结合，提升我国集成电路人才专业素养，形成半导体人才培养平台



聚焦国家重大战略需求及“卡脖子”问题

- 通过专题讲座形式，讲解工业界实际技术发展路线和产品开发流程，深入剖析半导体行业动态和关键核心技术
- 穿插业界实践案例，培养学生解决复杂工程技术难题的专业思维及创新思维

激发创新思维及专业情怀

- 讲解工业界实际技术发展路线和产品开发流程，深入剖析半导体行业动态和关键核心技术；邀请涵盖芯片行业的各个领域的专家
- 拓宽学生的专业视野，增强对国产芯片行业的信心，提升学生的综合素养，激发学生认识到我国在芯片行业核心技术的紧迫需求，培养学生专业热情和家国情怀

微纳电子技术前沿系列讲座

主题: 车规级芯片的设计实践技术介绍

时间: 3月28日 (星期三) 10:00 - 12:00

地点: 闵行校区 东上院212

内容简介: 随着汽车智能化和网联化工业级应用快速发展, 可靠性、功能安全上的要求越来越高, 车规级芯片的设计难度越来越大, 本课程从芯片设计流程中的可靠性设计、功能安全设计两个方面介绍了车规级芯片的设计实践技术。

主讲人简介: 曹宇, 博士, 毕业于上海交通大学, 现任上海华虹微电子技术有限公司高级工程师, 负责车规级芯片的设计实践工作。

课程简介: 为适应产业技术进步和人才培养需求, 本课程特邀行业专家, 于2025年春季学期开设《微纳电子技术前沿系列讲座》课程, 邀请企业专家担任主讲。

报名方式: 通过线上课程平台报名, 名额有限, 报满即止。

集成电路设计前沿系列讲座

主题: RISC-V AI应用案例的硬件与开发AI算力生态构建

时间: 3月28日 (星期三) 13:00 - 14:00

地点: 闵行校区 东上院212

主讲人: 广东润南半导体科技有限公司

内容简介: RISC-V AI应用案例的硬件与开发AI算力生态构建, 本课程特邀行业专家, 于2025年春季学期开设《集成电路设计前沿系列讲座》课程, 邀请企业专家担任主讲。

微纳电子技术前沿系列讲座

主题: RISC-V低功耗与商业逻辑分析

时间: 3月28日 (星期三) 10:00 - 12:00

地点: 闵行校区 东上院212

内容简介: RISC-V低功耗与商业逻辑分析, 本课程特邀行业专家, 于2025年春季学期开设《微纳电子技术前沿系列讲座》课程, 邀请企业专家担任主讲。

RISC-V相关讲座





校企共建课程教学方法 — 线上线下结合

课前环节

Canvas线上平台

内容摘要+课前调查

提前了解+激发兴趣

Lecture1 形式化验证在数字集成电路设计及验证领域应用

Lecture1 内容摘要

Lecture1 课前调查
3月25日 | 6分

课程介绍_2024春季研究生校企课程.pdf

Lecture1 课后调查
3月31日 | 5分

Lecture1 内容摘要

Lecture1: 形式化验证在数字集成电路设计及验证领域应用

讲座摘要:

形式化验证作为保证硬件系统设计正确性与安全性的重要手段之一,已成为芯片设计与验证中不可或缺的一环。本课程主要为给大家介绍形式化验证在数字集成电路设计及验证领域一些成熟及前沿应用,并结合工业界形式化工具和用例进行演示和讲解,展示形式化验证的魅力,让同学们深入了解形式化验证的原理和必要性。

授课专家介绍:



课堂环节

产学研结合讲座

企业专业授课+现场问答

行业动态+关键技术+产学交流



课后环节

课后作业及问题

课后问卷+课程作业

交流收获+巩固知识

Lecture2 课后调查
4月7日 | 5分

第一次课后作业
4月14日 | 0分

Lecture5 课后调查
4月28日 | 6分

第二次课后作业
5月7日 | 0分

Lecture8 课后调查
5月19日 | 7分

第三次课后作业
5月26日 | 0分



目录

- 融合RISC-V开放平台的数字逻辑与SoC设计课程
- 融合RISC-V产学合作协同育人的校企共建课程
 - 课程概述与教学设计
 - 课程教学案例
- 总结与展望



课程教学案例 — 融合RISC-V开放平台

RISC-V生态介绍

【校企课程共建】处理器技术探秘与构建RISC-V芯片普惠生态

2023/03/28 By admin

2023年3月21日上午10点，2023年微纳电子学系校企共建研究生课程“集成电路设计前沿技术”第一讲在中院413教室举行，孙亚男老师和杨志老师共同主持。

课程有幸邀请到了阿里巴巴平头哥半导体有限公司的技术专家陈晨先生和陈炜先生，分别带来“重剑无锋，大巧不工——处理器技术探秘”和“玄铁处理器开源，构建RISC-V芯片普惠生态”专题讲座。



专家分享了指令集标准化与开源AI算力生态构建

专家分享了关于AIoT时代下的RISC-V架构生态的构建



RISC-V相关话题分享



专家分享了车规级芯片的设计实现

专家分享了RISC-V处理器在各个模块中采用的先进技术及其特点，并对未来RISC-V处理器领域的发展进行了展望



专家分享了RISC-V的技术与商业逻辑分析





校企共建课程教学案例 — 芯原



芯原微电子金冬明先生以车规级芯片为切入口，介绍了芯片后端



上海交通大学
SHANGHAI JIAO TONG UNIVERSITY

微纳电子学系

DEPARTMENT OF MICRO/NANO ELECTRONICS

微纳电子科技前沿系列讲座

主题：车规级芯片的设计实现技术介绍

时间：3月26日（星期三）10:00 - 12:45

地址：闵行校区 东上院212



内容简介：

为了达到车规级芯片相对于工业级和消费级芯片在品质、可靠性、功能安全上的更高标准要求，车规级芯片的设计复杂度相对较高。本课程从芯片设计流程中的可测试性设计和物理设计两个方面介绍了车规级芯片的设计实现技术。

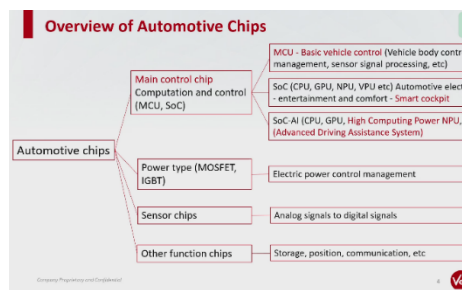
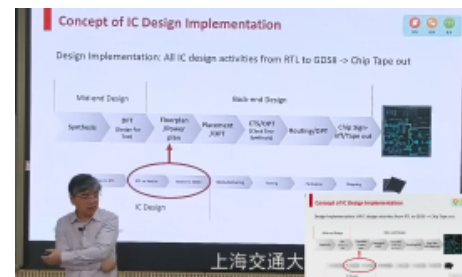
报告人简介：

金冬明先生硕士毕业于上海交通大学控制理论与控制工程专业，本科毕业于上海交通大学测控技术与仪器专业。自2017年加入芯原，现任设计实现部副总裁，负责芯片中后端设计的研发工作。拥有超过20年的芯片物理设计和可测试设计工作经验，曾担任恩智浦半导体后端设计经理，负责多款MPU产品的后端设计研发工作。此前，还曾先后担任两家设计服务公司的设计经理，完成多款产品的中后端设计研发工作。



课程简介：

- 为推进以产业进步学科和学科发展驱动的课程体系和教育内容改革，上海交通大学微纳电子学系与集成电路行业内骨干企业合作，于2025年春季学期开设本科生《微纳电子科技前沿讲座》课程，由各企业的技术主管联合讲授。
- 请选修此门课程的本科学同学参加，也欢迎未选修此门课程的本科学和研究生旁听。



		Foundry Process Node – Experiences of Projects									
		Process	4nm	5nm	6/7nm	8/10nm	11/12nm	14/16nm	22nm	28nm	45nm and above
Automotive chips	Main control chip (MCU, SoC)	Foundry	✓	✓	✓	✓	✓	✓	✓	✓	✓
	Power type (MOSFET, IGBT)	Foundry	✓	✓	✓	✓	✓	✓	✓	✓	✓
	Sensor chips	Foundry	✓	✓	✓	✓	✓	✓	✓	✓	✓
	Other function chips	Foundry	✓	✓	✓	✓	✓	✓	✓	✓	✓



校企共建课程教学案例 — 芯来



芯来科技胡振波为同学们分享RISC-V的技术与商业逻辑分析



上海交通大学

SHANGHAI JIAO TONG UNIVERSITY

微纳电子学系

DEPARTMENT OF MICRO/NANO ELECTRONICS

微纳电子科技前沿系列讲座

主题：RISC-V的技术与商业逻辑分析

时间：5月7日（星期三）10:00 – 12:45

地址：闵行校区 东上院212



内容简介：

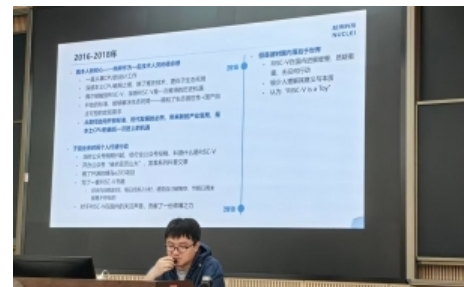
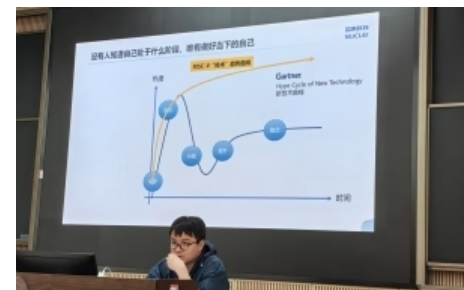
RISC-V是一种开放的国际标准指令集架构，从诞生到发展至今一直取得了业内外较高的关注度。本课程将全方位的对RISC-V的技术底层逻辑进行剖析，分析为什么RISC-V能够诞生、RISC-V的技术特点和优劣、以及为什么能够发展迅猛；对RISC-V存在的一些常见误区与偏差进行纠正，使得能够正确地认识RISC-V；对RISC-V的商业底层逻辑进行解读，阐述当前的RISC-V商业格局与机遇。

报告人简介：

胡振波，本科与硕士均毕业于上海交通大学，分别获得电子工程学士学位（电子工程系）和微电子学硕士学位。曾任职于Synopsys和Marvell等知名企业，参与或领导了多款高性能和低功耗CPU IP的研发工作。个人发布了国内首款开源RISC-V处理器蜂鸟E203，成为RISC-V技术在国内早期推广的标杆；撰写了《手把手教你设计CPU——RISC-V处理器篇》等书籍，被视作行业启蒙教材；2018年，胡振波创立芯来科技（Nuclei System Technology），定位为中国本土首家专业RISC-V CPU IP公司，目前已经发展成为本土RISC-V CPU IP的领军企业。

课程简介：

- 为推进以产业进步学科和学科发展驱动的课程体系和教育内容改革，上海交通大学微纳电子学系与集成电路行业内骨干企业合作，于2025年春季学期开设研究生《微纳电子科技前沿讲座》课程，由各企业的技术主管联合讲授。
- 请选修此门课程的本科生同学参加，也欢迎未选修此门课程的研究生和本科生旁听。





校企共建课程教学案例 — 希姆



希姆计算陈炜与范福杰为同学们分享RISC-V AI指令集的标准化与开源AI生态算力生态构建



微纳电子学系

DEPARTMENT OF MICRO/NANO ELECTRONICS

集成电路设计前沿技术系列讲座

主题: RISC-V AI指令集的标准化与开源AI算力生态构建

时间: 3月26日 (星期三) 10:00 - 12:45

地址: 闵行校区 东上院202

受邀企业: 广州希姆半导体科技有限公司

报告人简介:



范福杰, 博士, 毕业于浙江大学, 现任希姆计算研发总监、芯片架构师, 负责希姆计算RISC-V指令集架构的可编程人工智能处理器设计。曾主持多个人工智能芯片项目, 包括希姆计算大算力云端推理芯片与新一代训推一体芯片项目。致力于推进矩阵扩展在RISC-V社区的标准化, 制定并公开业界首个RVV解耦的RISC-V矩阵扩展指令集规范草案, 主持开源处理器内核与配套工具链的研发工作, 持续推进RISC-V国际基金会Matrix工作组的标准化进程。

陈炜, 博士, 毕业于密歇根理工大学, 现任希姆计算执行副总裁, 负责RISC-V AI技术标准、国际业务和生态。担任RISC-V国际基金会TSC成员, 软件应用与工具委员会副主席, AI/ML SIG副主席, 以及上海市电子学会RISC-V专委会主任等职务。曾就职于阿里巴巴达摩院, Arm等公司, 负责玄铁CPU技术RISC-V国际化, Arm教育生态等业务, 并由于推动Google Android加入RISC-V生态系统的贡献荣获RISC-V国际基金会Software Leadership Award, 阿里巴巴开源先锋等荣誉。

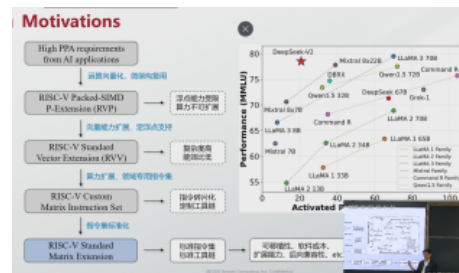
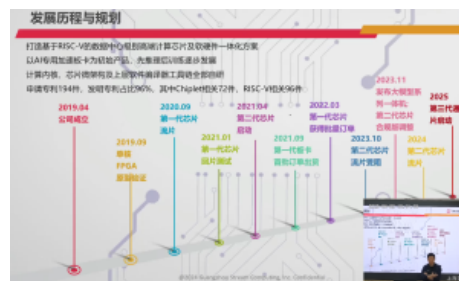
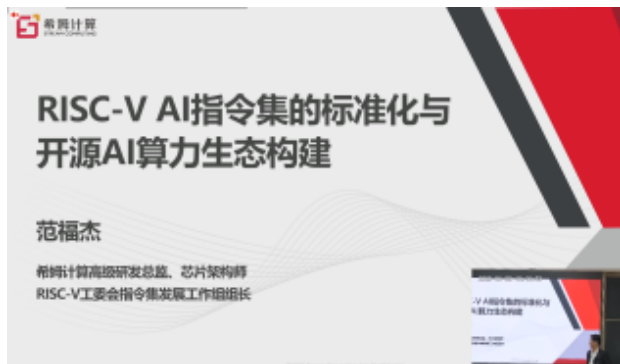
内容简介:

RISC-V的开源特性吸引了学术界和产业界的广泛关注, 其模块化设计和扩展能力更是迎合了AI应用的定制化需求。为降低软硬件设计成本, 建立统一的RISC-V AI生态, 针对AI领域的指令集标准化迫在眉睫。

本次报告第一部分将介绍最新的RVV解耦的RISC-V Matrix/AI指令集草案, 详细分析指令集架构及其开源实现, 并介绍RISC-V社区Matrix指令集的标准化进展。本次报告第二部分将介绍开源AI算力平台建设的机遇与挑战, 并探讨基于RISC-V的国产自主之路和产学研生态的构建。

课程简介:

- 为推进以产业进步学科和学科发展驱动的课程体系和教育内容改革, 上海交通大学微纳电子学系与集成电路行业内骨干企业合作, 于2025年春季学期开设研究生《集成电路设计前沿讲座》课程, 由各企业的技术主管联合讲授。
- 请选修此门课程的同学参加, 也欢迎未选修此门课程的本科生和研究生旁听。





课程教学案例 — 企业创新课题与课后思考题

3 课程设计：实现一个简易的静态触发Emulator（单FPGA开发板）

基于MicroBlaze的静态触发，ICE模式

一个MicroBlaze，使用串口（或其它方式）更改参照文件R0，来设置触发信号、参照值，R0内容如下：

- top.sub1.flop1 1'b1
- top.bus2 8'b10101100
- top.bus3 N/A

编译器（脚本）实现（初期也可不用脚本，仅手动修改DUT）：用户（自然人）

- DUT中所有寄存器使用门控时钟电路来控制
- 黏合一个“服务始终停止的逻辑”
- DUT上指定的信号（R0中引用的信号）连接到MicroBlaze上，导入到文件系统或内存中的R1区域，作为信号采样

Run time时：

- 下载比特流到FPGA后，MicroBlaze即开机；由IO如开发板按键触发DUT的

(1). Verilog 模块 (static_trigger_emulator)

```

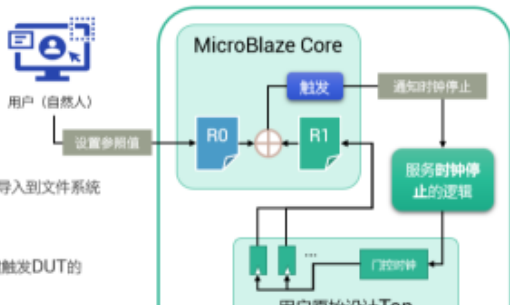
1 module static_trigger_emulator (
2     input wire clk, // 时钟输入
3     input wire reset, // 复位输入
4     input wire trigger_in, // 触发信号输入
5     output reg stop_clock, // 停止时钟信号输出
6     output reg led // LED输出, 用于观察状态
7 );
8
9 // 寄存器(时钟)
10 reg gated_clk;
11 always @(posedge clk) begin
12     if (reset) begin
13         gated_clk <= 1'b0; // 某时钟
14     end else begin
15         gated_clk <= trigger_in; // 触发时钟
16     end
17 end
18
19 // 服务始终停止的逻辑
20 reg trigger_detected = 0;
21 reg [7:0] reference_value = 8'b00010100; // 参照值
22 reg [7:0] sampled_value = 0; // 采样值
23 always @(posedge gated_clk) begin
24     sampled_value <= 1; // 从MicroBlaze读出采样值
25     if (sampled_value == reference_value) begin
26         trigger_detected <= 1'b1; // 触发信号出现
27         stop_clock <= 1'b1; // 发送停止时钟信号
28     end
29 end
30
31 // LED控制, 示例
32 always @(posedge clk) begin
33     if (reset) begin
34         led <= 1'b0; // 关闭LED
35     end else begin

```

```

1. 使用Vivado的SDK环境，创建一个C程序来控制MicroBlaze。
2. 编写代码以监视输入端口。当输入信号符合预设条件（例如，当按钮被按下时），输出信号（LED）应该改变状态。
3. #include "xgpio.h"
4. #include "xparameters.h"
5.
6. #define BUTTON_CHANNEL 1
7. #define LED_CHANNEL 1
8.
9. XGpio Gpio; // GPIO Device driver instance
10.
11. int main() {
12.     XGpio_Initialize(&Gpio, XPAR_GPIO_0_DEVICE_ID); // Initialize GPIO
13.     XGpio_SetDataDirection(&Gpio, BUTTON_CHANNEL, 1); // Set first channel as input
14.     XGpio_SetDataDirection(&Gpio, LED_CHANNEL, 0); // Set second channel as output
15.
16.     while (1) {
17.         int button_pressed = XGpio_DiscreteRead(&Gpio, BUTTON_CHANNEL); // Read button status
18.         if (button_pressed) {
19.             XGpio_DiscreteWrite(&Gpio, LED_CHANNEL, 1); // Turn on LED
20.         } else {
21.             XGpio_DiscreteWrite(&Gpio, LED_CHANNEL, 0); // Turn off LED
22.         }
23.     }
24.     return 0;
25. }

```



4. 调研了解现有的形式化验证平台，并对调研结果简要总结。

在数字芯片设计领域，有几个知名的形式化验证平台被广泛应用。以下是其中一些平台的简要总结：

- JasperGold: 由Cadence设计的JasperGold是一种功能强大的形式验证平台，
4. 在您看来，在未来五年内，车规级芯片将面临哪些主要的技术挑战和发展机会？

在未来五年内，车规级芯片将面临一系列技术挑战和发展机会：

3. 在您看来，生成式 AI 在芯片设计中有哪些潜在应用和挑战？

(1)、生成式 AI 在芯片设计中的潜在应用：

[1]. 设计自动化：

- 描述：生成式 AI 可以自动生成芯片设计，从初始概念到详细的电路图。它可以加速设计过程，减少人力需求。
- 示例：通过 AI 生成优化的电路布局，减少人工调试和修改的时间。

□ 以课后拓展题的形式为同学们提供**企业创新课题**，为同学们与业界搭建起坚实的桥梁，锻炼学生的**创新能力和解决复杂集成电路工程及设计问题的能力**

□ 为了进一步深化学生对国产芯片行业的理解和思考，课后布置了一些发散性的思考题，通过这些开放性的问题，学生能够**深入思考、培养批判性思维**



校企共建课程效果 — 课前调查

在专业知识领域之外，学生们对讲座技术内容在产业界的实际应用及其现状与发展趋势也表达出极大兴趣

“RISC-V 技术具体在哪些场景下具有明显优势？又在哪些方面存在局限性？除了开放性特点外，RISC-V迅猛发展的背后还有哪些关键因素？RISC-V生态系统目前的建设进展如何？还有哪些关键环节亟待完善？”

“希望能够为我们未来进入业界提供一些指引，例如优秀前沿的芯片巨头公司需要什么样的人？需要培养和具备什么样的技能，包括宏观的能力素养和具体的知识技能储备都有哪些？”

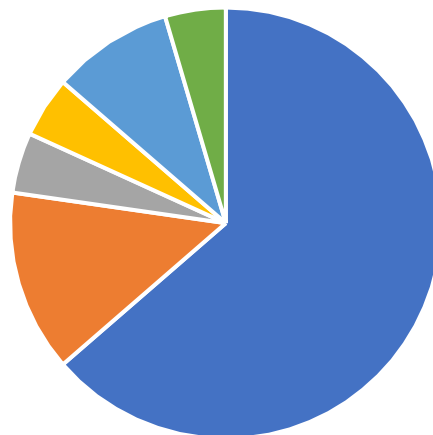
“在 RISC - V 的商业机遇中，初创企业和大型科技公司分别面临哪些挑战和机遇？RISC - V 的开源特性对其技术发展和商业推广分别带来了哪些利弊？随着 RISC - V 的发展，它将如何影响全球芯片产业的供应链和生态系统？”

“希望能够提供一些落地的项目案例，并且能够用通俗易懂且和专业相关的语言讲解清楚，让我们明白自己大学目前所学知识是如何在具体项目当中应用的，学这些知识技能的意义何在？”

“RISC-V AI指令集对于多芯粒、尤其是异构的多芯粒集成有无涉及，有对芯粒的编码和调用操作吗？”



课前调研问题分布



■ 专业知识 ■ 行业现状与挑战 ■ 发展趋势 ■ 就业方向 ■ 国产困境 ■ 其他



校企共建课程效果

使用我校线上课程平台进行课后问卷调查，确保同学们能够及时反馈以及课程组第一时间调整教学方式

了解了GPU GEMM相关知识	56 位答题者	98 %	了解了万物智能时代和新黑科技设计空间优化AI	52 位答题者	95 %
提升了专业能力和实践能力	34 位答题者	60 %	提升了专业能力和实践能力	35 位答题者	64 %
激发了对该领域的科研兴趣	26 位答题者	46 %	激发了对该领域的科研兴趣	30 位答题者	55 %
拓宽了科学视野	29 位答题者	51 %	拓宽了科学视野	31 位答题者	56 %
了解了相关就业方向	23 位答题者	40 %	了解了相关就业方向	22 位答题者	40 %
增强了民族自信心和社会责任感	14 位答题者	25 %	增强了民族自信心和社会责任感	14 位答题者	25 %

了解了国产车规级芯片设计	54 位答题者	93 %	了解了国产形式化验证工具	58 位答题者	87 %
提升了专业能力和实践能力	33 位答题者	57 %	提升了专业能力和实践能力	35 位答题者	52 %
激发了对该领域的科研兴趣	31 位答题者	53 %	激发了对该领域的科研兴趣	35 位答题者	52 %
拓宽了科学视野	42 位答题者	72 %	拓宽了科学视野	55 位答题者	82 %
了解了相关就业方向	31 位答题者	53 %	了解了相关就业方向	40 位答题者	60 %
增强了民族自信心和社会责任感	18 位答题者	31 %	增强了民族自信心和社会责任感	28 位答题者	42 %

基于AI的电路验证、测试空间优化以及模拟电路优化	48 位答题者	84 %	了解了芯片从客户调研到最终推向市场的整个流程	49 位答题者	84 %
提升了专业能力和实践能力	33 位答题者	58 %	提升了专业能力和实践能力	37 位答题者	64 %
激发了对该领域的科研兴趣	27 位答题者	47 %	激发了对该领域的科研兴趣	33 位答题者	57 %
拓宽了科学视野	27 位答题者	47 %	拓宽了科学视野	30 位答题者	52 %
了解了相关就业方向	25 位答题者	44 %	了解了相关就业方向	29 位答题者	50 %
增强了民族自信心和社会责任感	12 位答题者	21 %	增强了民族自信心和社会责任感	17 位答题者	29 %

了解发展趋势 受到启发
 知识讲解很详细 拓宽视野
 了解相关就业方向
 认识到行业发展的需求
 多次互动 受益良多 很好的解答了我的问题 感谢分享
 对该方向更加感兴趣
 专业前沿 学习了前沿知识
 认识更深刻 期待下次讲座

□ 通过问卷调查课程内容对学生就业的帮助，结果表明通过课程教育的引导，学生更加明确了自己的**职业规划**，并表现出对在集成电路行业长期发展的**坚定信念**

□ 通过问卷统计学生对课程效果的反馈，统计结果表明该课程在**专业知识传授**和**学生综合素质培养**方面均取得了良好的效果，校企共建课程取得了显著成效



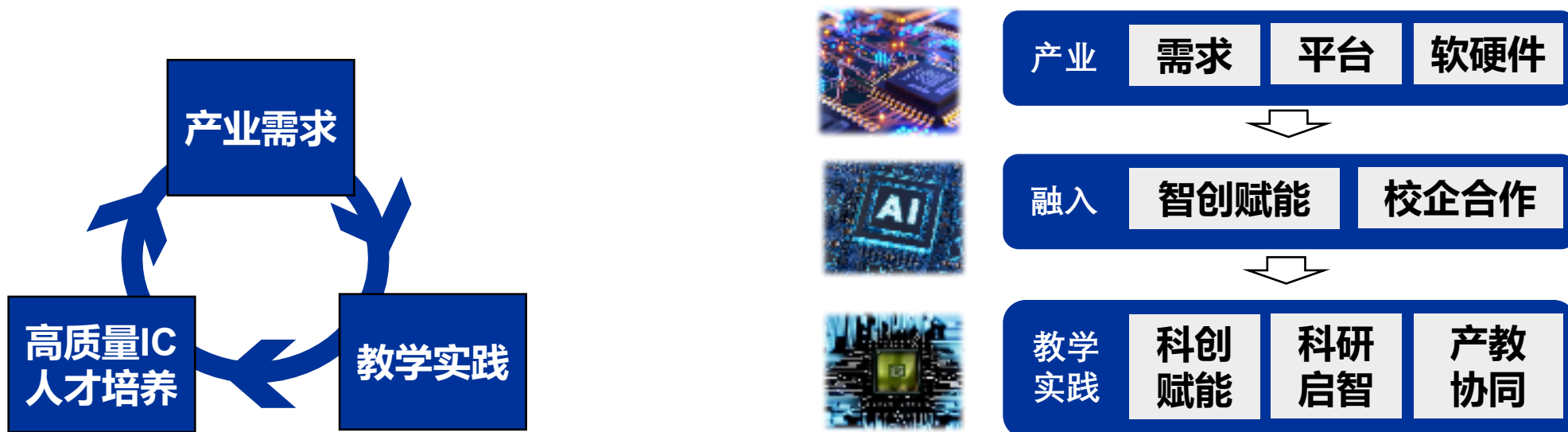
目录

- 融合RISC-V开放平台的数字逻辑与SoC设计课程
- 融合RISC-V产学合作协同育人的校企共建课程
- 总结与展望



总结与展望

- RISC-V开源架构快速演进，带动AI、高性能计算与安全芯片等前沿应用迭代升级。依托数字逻辑与SoC设计课程，构建“RISC-V开放平台+产学协同”教学体系。
- 面向国家重大战略需求，以RISC-V生态建设为核心，深化“科创赋能、科研启智、产教融合”三位一体培养模式，锤炼学生社会责任感、创新精神、实践能力、专业情怀与全球视野，造就引领RISC-V未来的集成电路设计高质量人才。





上海交通大学

Shanghai Jiao Tong University



感谢各位专家!