



西安交通大学
XI'AN JIAOTONG UNIVERSITY

**面向研究生的RISC-V处理器与DFT技术课程：
扫描链插入与测试覆盖率分析教学实践**

单位： 西安交通大学微电子学院
汇报人： 梁峰

为何开设 RISC-V 处理器 DFT 技术课程



产业需求迫切

- RISC-V生态快速扩张，芯片设计、测试验证等环节人才需求激增，DFT领域缺口尤为显著。
- 企业亟需兼具RISC-V架构与DFT技术的复合型人才，以保障芯片量产效率与可靠性。

学术与产业脱节现状

- 传统微电子课程偏重理论，缺乏RISC-V架构下的DFT实战训练。
- 高校教学与企业真实DFT工具链、流程存在断层，学生入职后难以快速适应岗位需求。

填补技术空白

- RISC-V开放特性带来测试验证新挑战（如自定义指令集测试、多核协同验证），需建立针对性课程体系。
- 课程聚焦扫描链设计、测试覆盖率优化等核心技术，旨在补足行业技术短板。

人才培养战略意义

- 为国产RISC-V芯片产业储备关键技术人才，助力突破“卡脖子”困境。
- 通过课程实践提升学生竞争力，推动高校人才输送与企业需求的良性循环。

全流程 DFT 设计实践

- 针对 RISC-V 处理器定制 DFT 方案
- 基于扫描链插入技术的测试向量生成
- 优化测试结构以提升效率

测试覆盖率分析实训

- 基于 ATPG 技术的测试覆盖率优化
- 模拟真实制造缺陷(如固定型故障)

产业导向的实战案例教学

- 来自芯来科技、平头哥等企业合作项目案例
- 低功耗 DFT 设计解决方案

可量化的培养成果

- 独立完成 RISC-V 芯片全流程 DFT 方案设计
- 实现学术理论与产业需求的无缝衔接
- 直接解决 RISC-V DFT 领域人才短缺问题

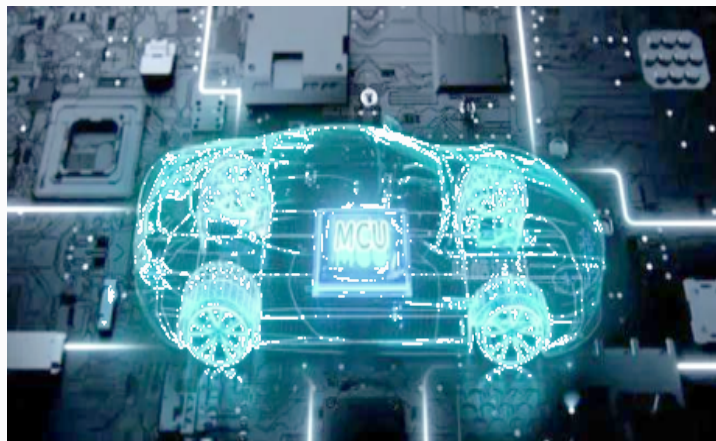
课程大纲



西安交通大学
XI'AN JIAOTONG UNIVERSITY

序号	授课章节	目的	课时
1	可测性设计的基本概念 (Design-for-Test Introduction)	学习可测性设计存在的意义, 目的	1
2	VLSI故障类型及测试方法 (VLSI Faults & Test Techniques)	介绍VLSI中基本的故障类型及产生原因, 以及测试手段	3
3	扫描链相关概念及其在测试中的作用 (Scan Chain Related Concepts)	介绍VLSI扫描测试的产生背景、历程及其在测试中的重要意义	3
4	扫描链生成 (Scan)	学习寄存器串链, 扫描链插入等步骤	3
5	自动测试向量生成 (ATPG)	学习自动测试向量生成技术以及相关概念	3
6	测试覆盖率分析 (Test Coverage Analysis)	学习分析、提高测试覆盖率的方法	3
7	实训环节 (Traning and Practice)	通过实验环节进一步巩固所学理论知识, 并熟练掌握基于RISC-V CPU核的SoC DFT实际操作	16
			总计32

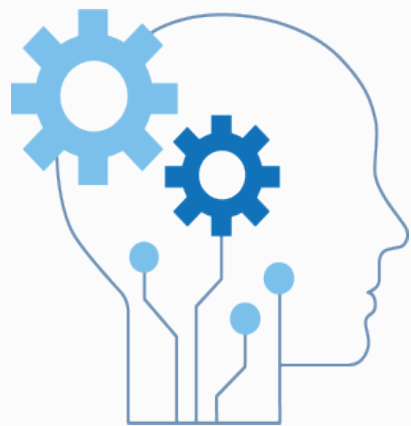
RISC-V处理器应用领域



汽车芯片



wifi芯片



AI芯片



高性能处理器芯片



工业、物联网芯片

开放架构的“轻与灵”

- 极简设计优势：对比复杂指令集（如 x86），RISC-V 基础指令集仅约 40 条核心指令。
- 高度可定制化：企业及开发者可按需扩展指令集，适配多行业需求，避免被单一架构绑定。

打破垄断的“破局者”

- 生态自主可控：RISC-V以开源模式聚合全球开发者，共建生态，摆脱授权依赖。
- 降低产业门槛：无需支付高昂的架构授权费。

技术渗透的“无限可能”

- 全场景覆盖潜力：从嵌入式设备到高性能计算、汽车电子。
- 技术迭代加速器：开源社区驱动架构快速进化。

DFT (Design for Test, 可测试性设计)

通过在芯片设计阶段插入额外的测试电路结构，使芯片流片后能够以更高效率、更低成本完成测试验证。DFT技术覆盖全流程：

- 硅前 (Pre-silicon)：芯片设计阶段的测试电路插入与验证
- 硅后 (Post-silicon)：测试向量生成、测试执行与结果分析



DFT技术主要分类：

- 扫描链技术（Scan/ATPG）：测试寄存器与组合逻辑
- 存储器内建自测试（Memory BIST）：专用于存储器测试
- JTAG边界扫描：测试IP核与I/O接口
- 逻辑内建自测试（Logic BIST）：实现芯片在线测试
- 嵌入式确定性测试（EDT）：测试向量压缩技术
- 老化测试（Burn-in Test）：检测芯片潜在可靠性缺陷...

.....

目标：

- 通过高精度晶圆测试筛除失效芯片，确保终端产品仅使用合格器件

供需缺口：

业界DFT工程师的从业人数不足前端设计的1/10。这种配比导致很多公司DFT人员不足。

行业价值：

可测性设计对芯片良率（“提升良率，避免量产损失”）、迭代效率（“缩短测试周期，加速产品上市”）具有关键作用。

培养困境：

国内高校中，相关专业（微电子、集成电路等）中，可测性设计课程开设非常少。

经验壁垒：

可测性设计需“芯片架构、DFT原理与工具链实操”的复合型能力，行业经验积累周期长（通常5~8年），新人成长慢。

人才稀缺制约芯片产业迭代，需校企协同，重视培养，填补缺口

目前业界使用的DFT工具，Synopsys和Mentor占比较大：

Synopsys:

DFTCompiler (扫描链插入、DFT 设计规则检查)
DFTMAX (测试压缩)
DFTMAXUltra (测试压缩)
VCS (仿真)
Verdi (调试)
SMS (Mbist)
JTAG Builder(JTAG)

Mentor:

Tessent (扫描链插入、Mbist、ATPG)

国内DFT EDA厂商:

合见工软 UniVista Tespert
无锡玖熠 SPLD
广立微 DFTEXP
简矽 IMPERATA
英诺达 DFT checker
鸿芯微纳 RocSyn
珠海硅芯 3Sheng Integration
芯测 START v5

.....

国产DFT工具潜力巨大，希望未来有更多国产厂商，
大家一起合作，在教育领域，共同推广国产工具

如何设计芯片的DFT方案

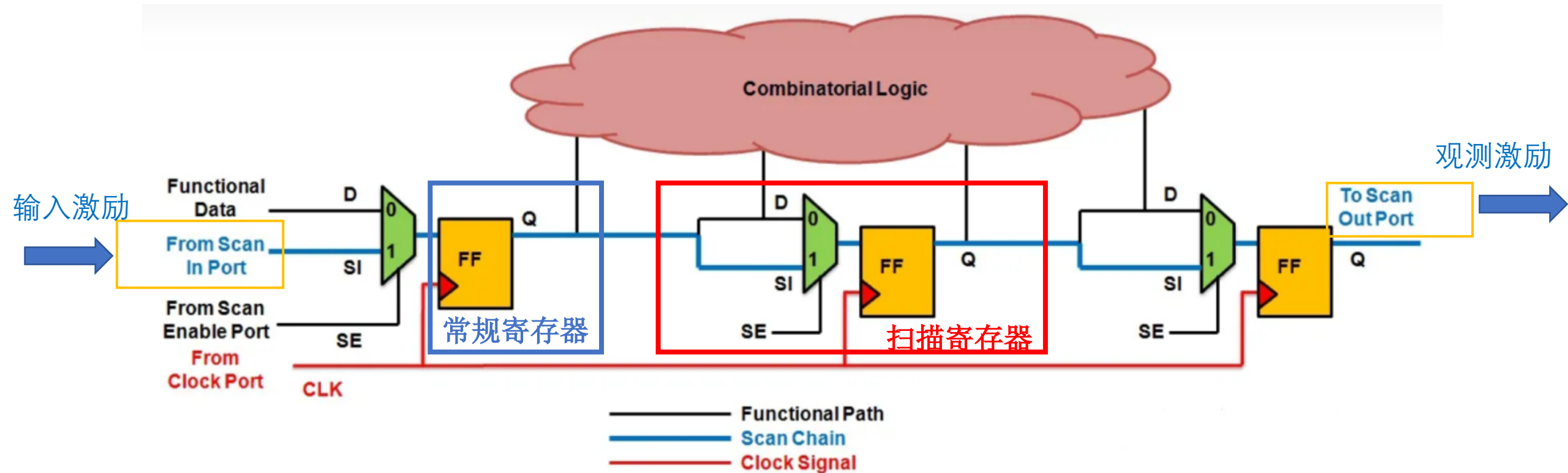
- 1) 明确芯片需要的测试类型：scan、atpg、mbist、boundary scan、logic bist?
- 2) 确定使用的EDA工具，使用的Flow
- 3) 确定芯片的系统时钟频率、DFT时钟频率
- 4) 确定芯片内部IP的测试方案以及测试电路设计
- 5) 确定芯片的测试覆盖率要求
- 6) 确定芯片的存储器总数以及分组测试的需求
- 7) 确定芯片的时钟域数量与分组测试需求
- 8) 确定芯片中DFT可以使用的IO数量
- 9) 确定是否需要使用存储器修复技术
- 10)

根据上述要点来确定DFT整体设计方案

扫描链技术(scan)

简要概括:

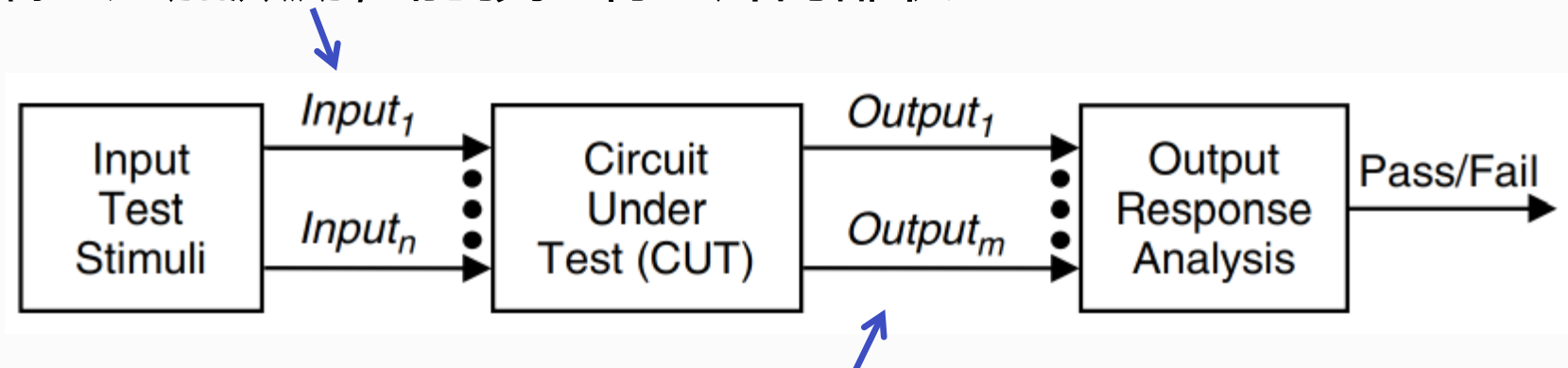
不改变芯片原有功能的情况下，插入一些选择器，额外开辟新路径，将寄存器串成链，通过添加激励，观测响应，确定寄存器链和周围的数字逻辑是否有制造缺陷。



扫描链示意图

扫描链技术(scan)

通过**输入**端口施加激励，能够控制芯片内部状态



通过**输出**端口观测激励，能够观察芯片内部的响应

- 挑战：
- 1) 芯片中能给DFT使用的IO资源有限
 - 2) 如何合理的确定每个module需要多少个测试IO

扫描链技术(scan)

主要分为stuck_at、transition测试:

stuck_at测试: 不管输入信号如何变化, 芯片电路中的某条信号线可能会固定在逻辑高电平 (Stuck - at - 1) 或逻辑低电平 (Stuck - at - 0) 。

transition测试: 检测的是信号从一个逻辑电平转换到另一个逻辑电平时是否能够正确、及时地发生, 以及在转换过程中是否出现错误。

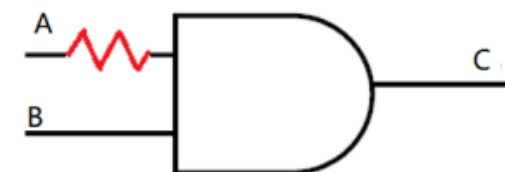
stuck_at故障:



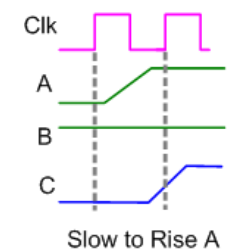
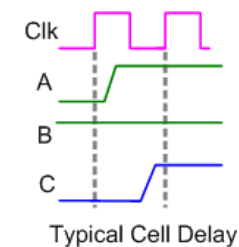
Possible Errors: 6

"a" s-a-1, "a" s-a-0
"b" s-a-1, "b" s-a-0
"c" s-a-1, "c" s-a-0

transition故障:



Slow to Rise "A"



寄存器时钟、复位可控

只有时钟、复位可控，才能通过时钟、复位的作用，将激励正确的移入芯片内部，扫描链才能正常工作。

如何判断：

- 1) 扫描链上的寄存器的时钟、复位直接来自芯片的IO（完全隔离功能模式干扰，测试时序确定性高）。
- 2) 扫描链上的寄存器的时钟来自OCC (on chip clocks)。复位来自复位电路，可以由DFT逻辑控制是否复位。

若不满足时钟、复位可控，芯片将存在DRC问题，影响**测试覆盖率**。

ATPG技术

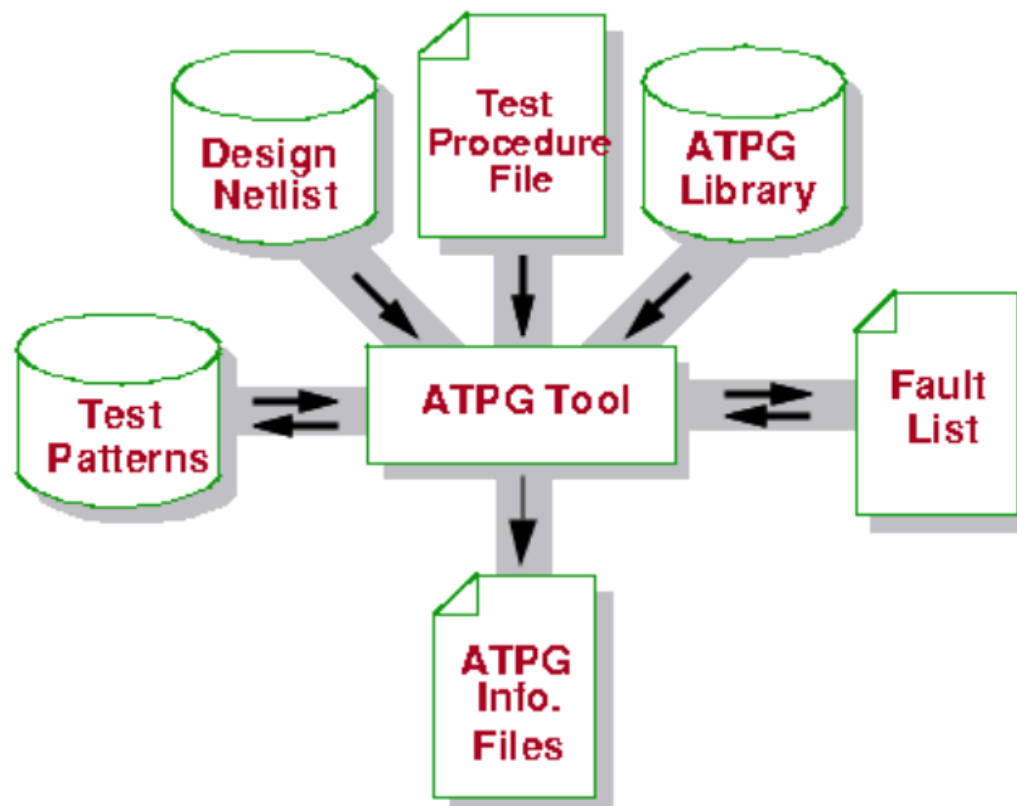
- 完成扫描链插入后，需要进行ATPG，此后再进行覆盖率分析
- 什么是ATPG:
 - Automatic Test Pattern Generation的简称，自动化地产生测试向量
 - Test pattern, 有时称为Test vector, 是一系列的0 和1 值
- 芯片生产测试
 - Automatic Test Equipment(ATE) 是芯片测试仪器，
 - ATE 可以存储pattern 并将其通过输入端口加载到芯片中
 - ATE可以检测芯片输出，判断是否有生产制造故障

ATE测试机台：



ATPG 输入输出:

- 工具需要多种input 文件产生test pattern, fault list 以及ATPG information文件
- 使用ATPG工具，读入芯片设计信息，产生ATPG pattern，再进行覆盖率分析



测试覆盖率分析



- 1. Full (FU)
 - 1.1 TEstable (TE)
 - a. DETECTed (DT)
 - i. DET_Simulation (DS)
 - ii. DET_Implication (DI)
 - iii. DET_Robust (DR)—Path Delay Testing Only
 - iv. DET_Functional (DF)—Path Delay Testing Only
 - b. POSDET (PD)
 - i. POSDET_Untestable (PU)
 - ii. POSDET_Testable (PT)
 - c. Atpg_untestable (AU)
 - d. UNDEtected (UD)
 - i. UNControlled (UC)
 - ii. UNObserved (UO)
 - 1.2 UNTestable (UT)
 - a. UNUsed (UU)
 - b. Tied (TI)
 - c. Blocked (BL)
 - d. Redundant (RE)

fault类型

```
ANALYSIS> create_patterns
```

```
ANALYSIS> report_statistics
```

```
Statistics Report
Stuck-at Faults
```

Fault Classes	#faults (total)
FU (full)	354
DS (det_simulation)	52 (14.69%)
DI (det_implication)	40 (11.30%)
UU (unused)	26 (7.34%)
RE (redundant)	134 (37.85%)
AU (atpg_untestable)	102 (28.81%)

```
Fault Sub-classes
```

AU (atpg_untestable)	102 (28.81%)
POFF (power_off)	

```
*Use "report_statistics -detailed_analysis" for details.
```

```
Coverage
```

test_coverage	47.42%
fault_coverage	25.99%
atpg_effectiveness	100.00%

```
#test_patterns 0
#simulated_patterns 0
CPU_time (secs) 1.9
```

测试覆盖率报告

测试覆盖率分析



$$\text{Test coverage} = \frac{\#DT + (\#PD * \text{posdet_credit})}{\#testable} \times 100$$

从所有可测试故障中检测到的百分比

$$\text{Fault coverage} = \frac{\#DT + (\#PD * \text{posdet_credit})}{\#full} \times 100$$

所有故障中检测到的百分比

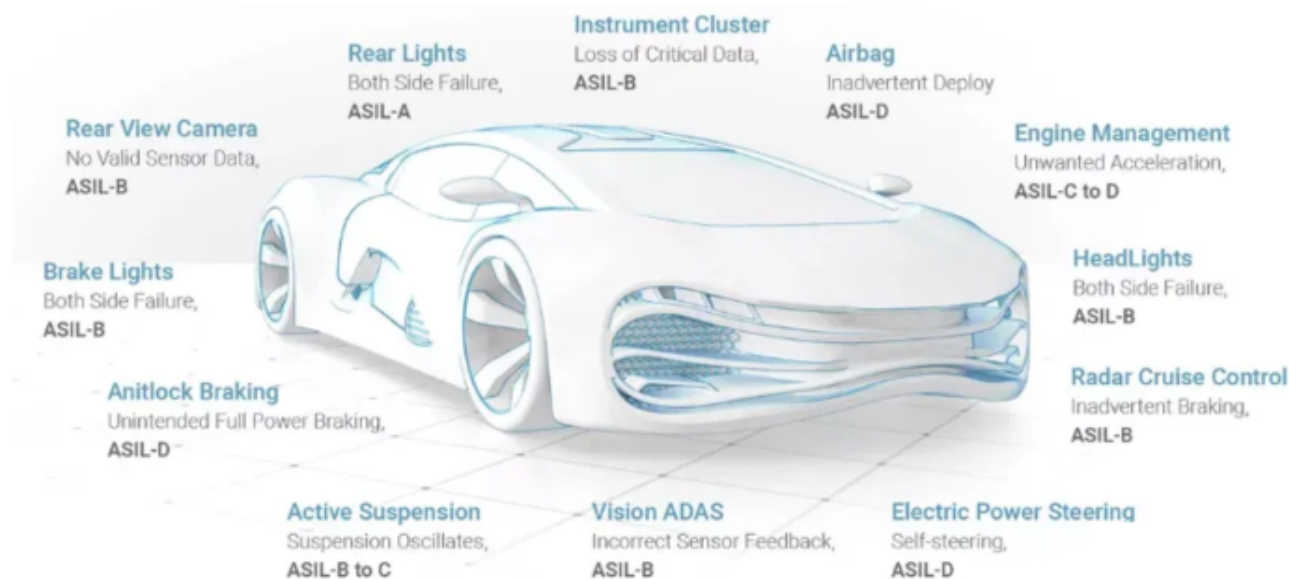
$$\text{ATPG effectiveness} = \frac{\#DT + \#UT + \#AU + \#PU + (\#PT * \text{posdet_credit})}{\#full} \times 100$$

ATPG有效性衡量的是ATPG工具为故障创建测试的能力

测试覆盖率分析

注意:

- 1) 不同的芯片，对覆盖率要求也不一样，具体要产品经理和客户一起讨论，确定测试覆盖率的标准
- 2) 主要关注 stuck-at和transition覆盖率
- 3) 一般的，stuck-at覆盖率为98%，transition覆盖率为80%
- 4) 车规芯片由于涉及生命安全，因此覆盖率要求可能达到stuck-at 99%，transition 85%
- 5) 从覆盖率报告分析问题，对于设计问题，可能需要修改rtl



项目实际操作案例



```
1 set TOP openC910
2 analyze -format verilog -vcs "-f ./C910.filelist"
3 elaborate -architecture verilog $TOP
4 read_sdc ./sdc.tcl
5 current_design $TOP
6 link
7 uniquify
8 check_design
9 check_timing
10 compile -scan
11 write -format verilog -hierarchy -output ./C910.dft.v
```

逻辑综合

```
1 set_context dft -scan
2 read_verilog ./C910.dft.v
3 read_cell_library ./tessent.cell.lib
4 set_current_design
5 set_design_level physical_block
6 analyze_control_signals
7 add_clocks 1 rst_n
8 add_clocks 0 clk
9 set_test_logic -reset on
10 check_design_rules
11 set_scan_insertion_options -single_clock_edge_chains OFF -single_clock_domain_chains OFF
12 add_scan_mode -chain_count 100
13 analyze_scan_chains
14 insert_test_logic
15 report_scan_chains
16 write_design -output_file ./C910.dft.scan.v -replace
17 write_atpg_setup ./atpg_setup.tcl -replace
```

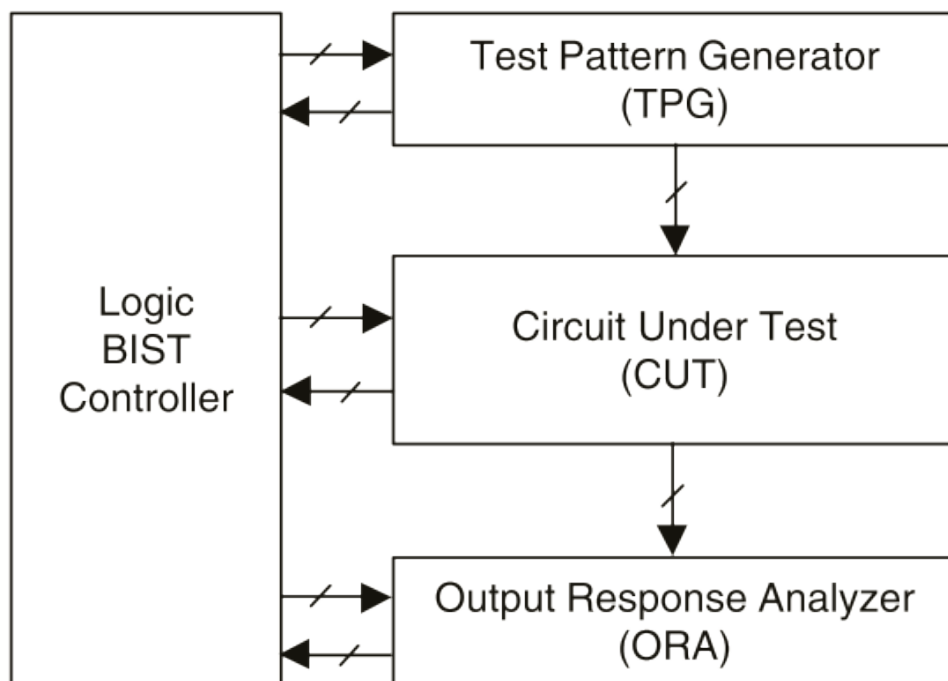
扫描链插入

```
1 set_context pattern -scan
2 read_cell_library ./tessent.cell.lib
3 read_verilog ./C910.dft.scan.v
4 set_current_mode -type internal
5 source ./config.tcl
6 set_system_mode analysis
7 write_core_description CPU.tcd -replace
8 set_fault_type stuck
9 create_patterns
10 write_patterns CPU_stuck.retpat -patdb -replace
11 write_faults CPU_stuck.faults.gz -replace
12 write_flat_model CPU_stuck.flat_model.gz -replace
13 report_statistics
```

ATPG与覆盖率分析

RISC-V SOC的DFT设计与展望

以RISC-V CPU为核心的处理器**应用广泛**，大量应用在消费级、车规级产品中
对于涉及生命安全的领域，要求芯片稳定性强，具有启动前自测试的能力
因此需要加入logic_bist技术。



TPG (Test Pattern Generator, 测试模式生成器) :
生成伪随机或确定性测试向量。

CUT (Circuit Under Test, 被测电路) :
需要测试的逻辑电路 (如组合逻辑、时序逻辑) 。

ORA (Output Response Analyzer, 响应分析器) :
对被测电路的输出进行压缩和比较。

BIST Controller (控制逻辑) :
协调测试流程 (启动、停止、结果判断) 。

系统启动时，先进行关键芯片自测试，系统收到芯片的反馈信号，确认安全

➤ RISC-V SOC的DFT设计特点与展望



RISC-V 的**开放**生态可能导致SOC 中 IP 核来源分散，因此 DFT 需解决多 IP 测试兼容性问题

建议依赖通用测试标准：广泛采用 IEEE 1149.1 (JTAG) 作为基础测试接口，或 IEEE 1687 (IJTAG) 用于复杂 IP 的嵌套测试，确保不同来源的 IP 核（如 RISC-V CPU、DDR 控制器、GPIO）的测试逻辑可通过统一接口访问。

Number	Main Objectives	Status
1149.1	Testing of digital chips and interconnects between chips	Std. 1149.1-1990 Std. 1149.1a-1993 Std. 1149.1b-1994 (BSDL) Std. 1149.1-2001
1149.2	Extended digital serial interface	Discontinued
1149.3	Direct access testability interface	Discontinued
1149.4	Mixed-signal test bus	Std. 1149.4-1999
1149.5	Standard module test and maintenance (MTM) bus	Std. 1149.5-1995 (not endorsed by IEEE since 2003)
1149.6	High-speed network interface protocol	Std. 1149.6-2003

IEEE 1149 系列标准

➤ DFT与低功耗设计

时钟门控技术：clock gating

rtl代码设计时使用如下用法：

```
always @ (posedge CLK)
```

```
  if (EN)
```

```
    Q <= D ;
```

综合过程中使用如下命令：

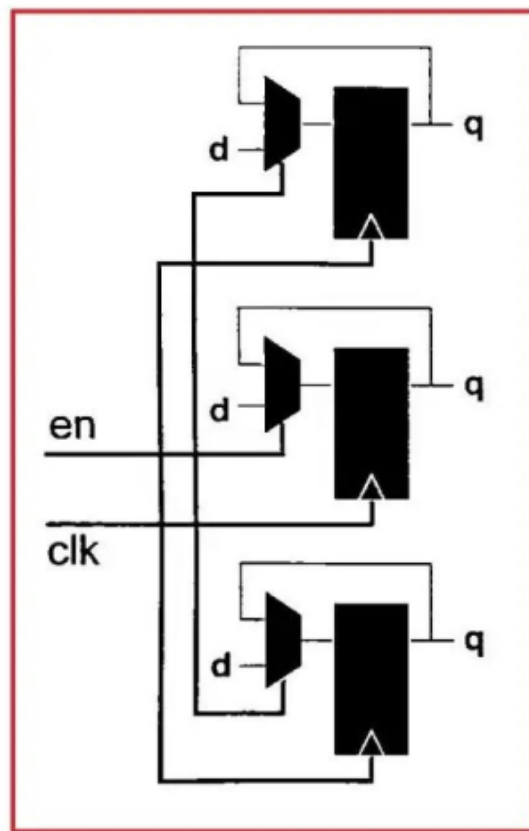
```
compile_ultra -gate_clk
```

工具可以自动插入clock gating

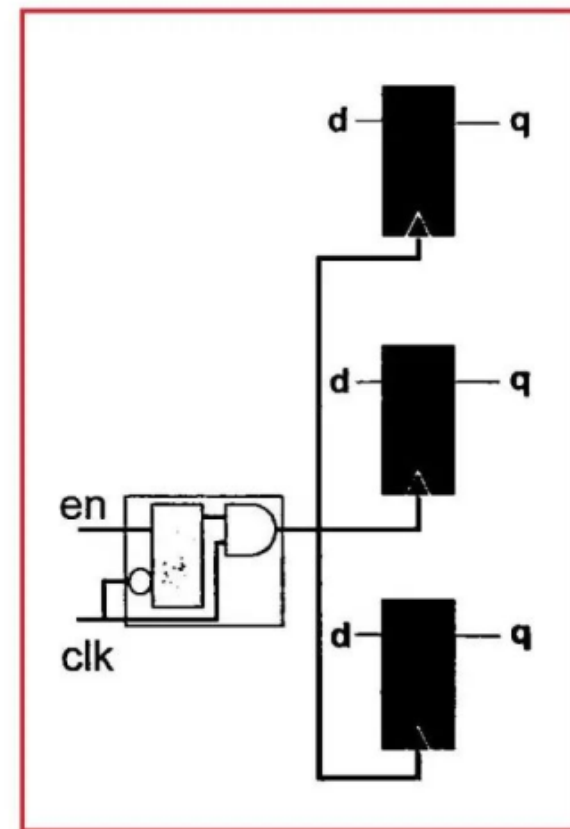
在DFT测试时，可以利用IJTAG协议控制

clock gating关停特定时钟域，**分时钟域测**

试，降低功耗

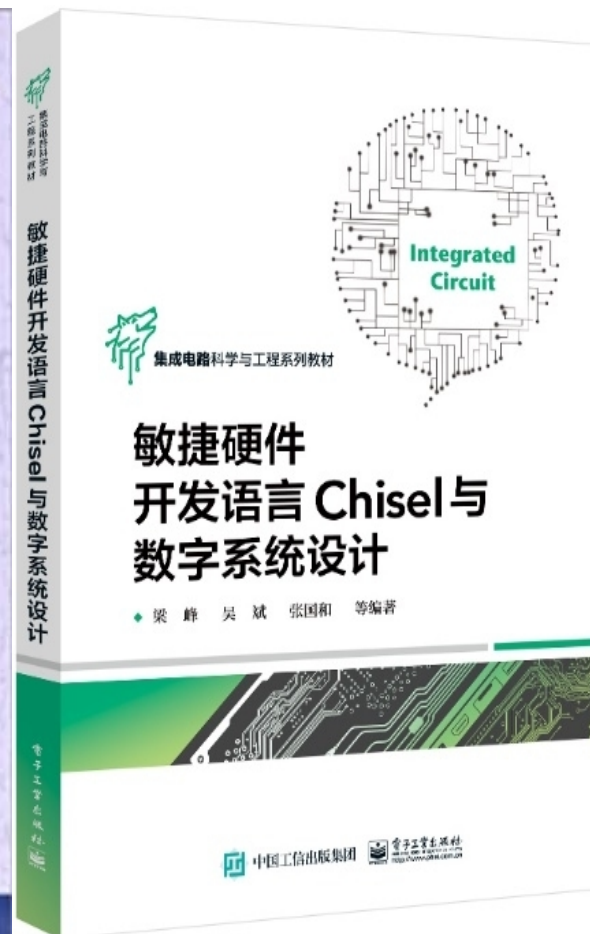


No Clock Gating



Clock Gating

课题组DFT领域科研成果展示



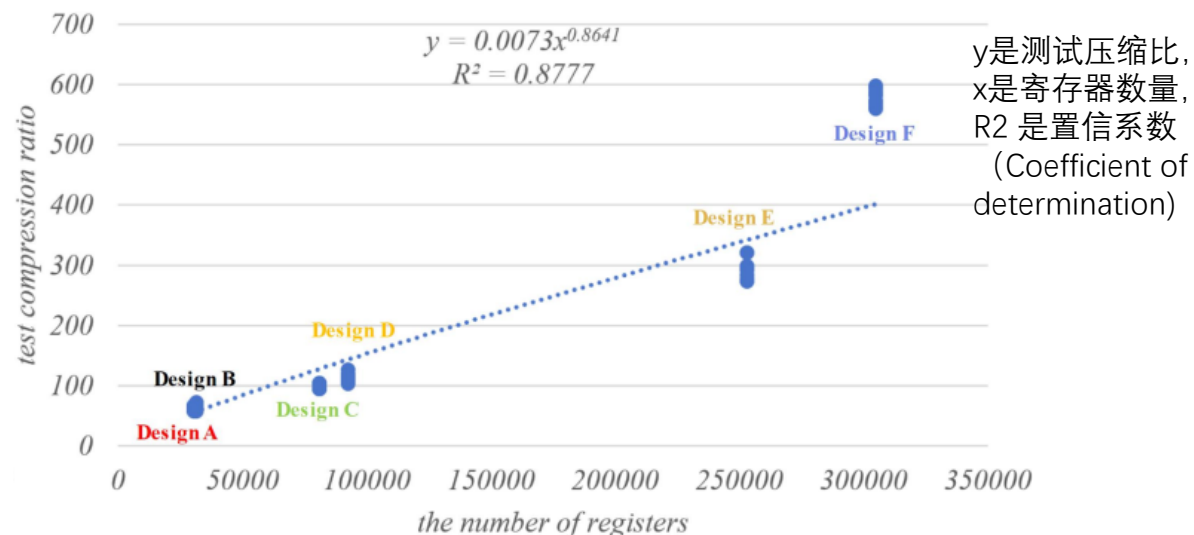
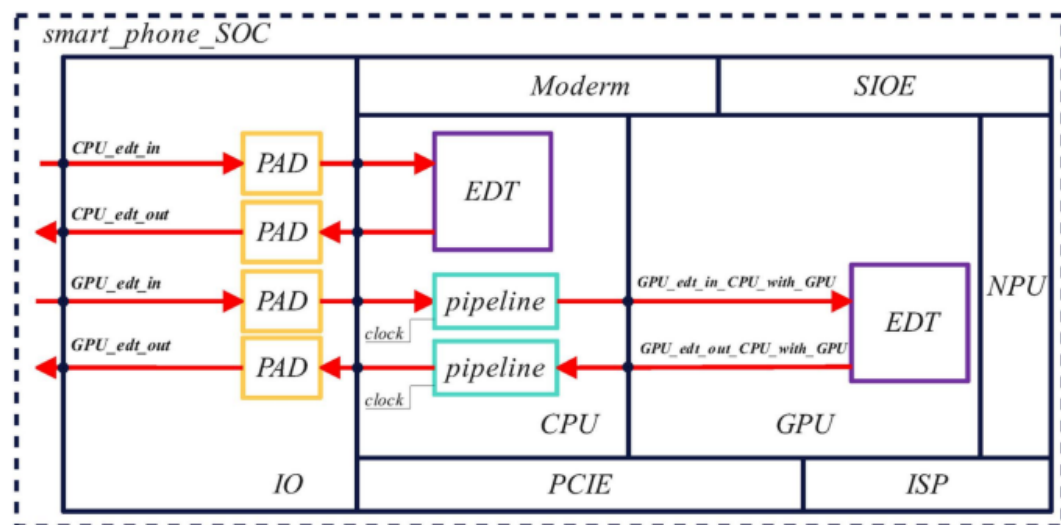
课题组DFT领域科研成果展示

课题组目前在DFT领域已有多项成果

通过曲线拟合和神经网络方法，精确预测芯片的测试压缩比，误差小于5%

未来将进一步优化方法，减小预测误差，提高模型的易用性

测试压缩比与寄存器数量之间的关系图



Works	VTS 2022 [2]	ITC 2020 [3]	ITC-Asia 2020 [4]	IEEE TCAD 2022 [5]	Industrial	Ours
Require Complex Calculation	YES	YES	YES	YES	NO	NO
Run Time to Get Test Configuration and Coverage/ (ATPG runs)	2	1.2	1.2	2	≥10	1
Easy to Use	NO	NO	NO	NO	NO	YES

对研究生DFT授课的建议与展望



- 聚焦业界进展：邀请业界DFT专家来学校课堂，为学生分享工作中遇到的挑战。
- 聚焦学术界进展：讲授相关会议、期刊上DFT最新、最热点的研究方向。
- 拓宽课程知识面：讲授IEEE最新的接口协议、logic_bist技术。
- 实践与理论相结合：开展上机实操训练。
- 鼓励学生在做前端设计时，加入DFT设计，符合业界规范。

聚焦业界、学术界最新进展，和企业携手开展DFT教学



谢谢大家

愿与大家共同推进RISC-V与DFT技术