

# 高性能RISC-V处理器 架构探索与实践

知合计算 首席架构师、处理器设计总监

刘畅

# 标杆产品引领高性能生态发展



“高性能俱乐部”

嵌入式应用

\* 数据来自公开数据

# 敏捷高效的 性能分析优化平台

## 软硬件敏捷迭代

模块化的工具链与流水线

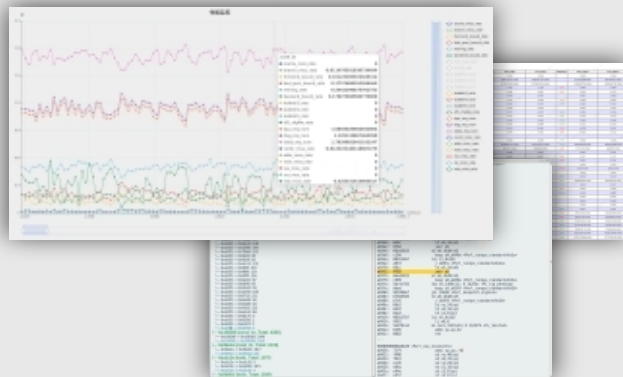
新扩展、架构创新快速评估



## 图形化性能分析平台

打通性能数据：建模、仿真、原型平台

研发性能数据收集、分析、监测和归档



## 高精度性能模型

RISC-V社区开源资源

性能模型校准和精度调优

```

11 gen5 version 04.0.0-0
12 gen5 compiled Dec 12 2024 10:43:22
13 gen5 started Dec 12 2024 18:46:06
14 gen5 executing on Ryoan-server, PID 13461
15 command line /tools/tmp/cy5/gen5-develop/gen5-ppa/build/RISCv/gen5_aj
16
17 Memory type: Amulator2
18 Amulator2 system configuration file = /tools/tmp/cy5/gen5-develop/gen5-ppa/build/RISCv/gen5_aj
19 Amulator2 mem_ctrl is connected
20
21 *** REAL SIMULATION ***
22 Warned up! Dumping and resetting stats!
23 tick: 85868369, Mode numCommitInsts: 1000000, ipc: 6.80375
24 tick: 16455177, Mode numCommitInsts: 2000000, ipc: 4.58344
25 tick: 228713403, Mode numCommitInsts: 10000000, ipc: 15.54895
26 tick: 29920584, Mode numCommitInsts: 10000000, ipc: 4.16112
  
```

# 以架构创新应对PPA挑战

## 重构矢量物理寄存器组织结构

优化RISC-V Vector vx和vf类型指令性能

改进标量和矢量流水线数据通路

## 压缩指令边界快速识别算法

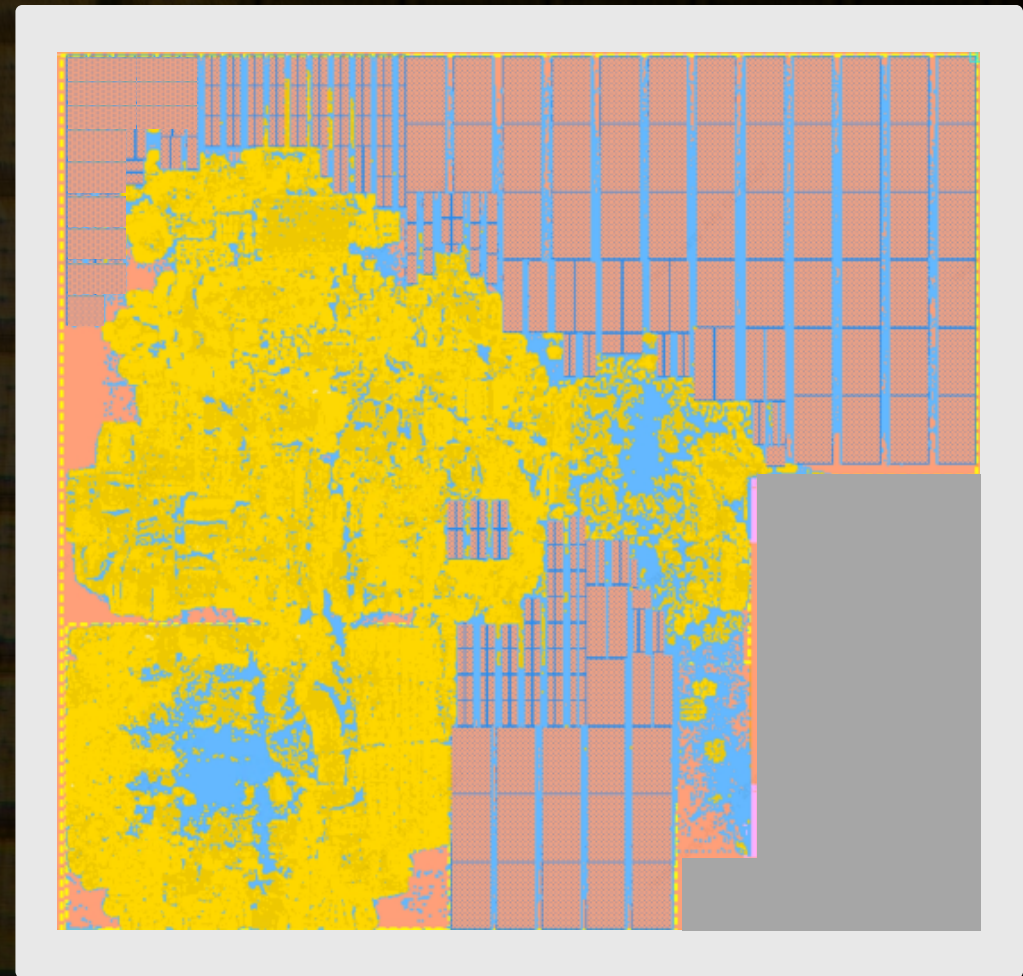
优化RISC-V 16位压缩指令识别效率

预置对称指令边界识别代码

## 综合和物理实现一体化的敏捷迭代流程

打通软件、架构、设计、综合和物理实现的开发流程体系

快速评估新扩展的PPA成本和收益



Core Configuration

L1I 64K, L1D 64K, L2 2MB, VLEN256 DP512, with ECC, with Async-bridge, with mbist, with scan

# 以更强的内核兼容性 引领生态发展

## RVA23 Profile完全兼容

支持全部所有81个强制和可选扩展

覆盖Hypervisor、Vector Crypto、BF16、CFI、Sv57等

## 支持123个RISC-V官方扩展

覆盖AME、AIA、CoVE、MPT、QoS、IOMMU、RERI等

软硬件整体交付：配套工具链、操作系统、计算库等

## 兼容性增强技术

未定版官方扩展 · 私有扩展指令

微代码技术 · CSR · 社区提案

| RVA23U64  |          | RVA23S64  |              |
|-----------|----------|-----------|--------------|
| Mandatory | Optional | Mandatory | Optional     |
| Zyknng    | Zyknng   | Zifencnt  | Sv48         |
| Zksg      | Zksg     | Ss1       | Sv57         |
| Zoha      | Zoha     | Svb       | Sv48         |
| Zcas      | Zcas     | Sv        | Svadu        |
| Zamoc     | Zamoc    | Sva       | Svrig        |
| Zybc      | Zybc     | Sscc      | Svstrict     |
| Za16b     | Za16b    | Sstv      | Svptc        |
| Zifh      | Zifh     | Sstv      | Svpm         |
| Zihpm     | Zihintnl | Zbc       | Sscounterenw |
| Zic       | Zic      | Shtvala   |              |
| Zic       | Zic      | Svfilp    | Svpl         |
| Zic       | Zic      | Svfiss    | Svrip        |
| Zic       | Zic      | Svfh      | Svna         |
| Zic       | Zic      | Svfmn     | Ss           |
| Za        | Za       | Svfmn     |              |
| Zihint    | Zihint   | Svfwma    |              |
| Zic       | Zic      |           |              |
| Zicbom    | Zicbom   |           |              |

支持  
全部33项  
U64  
强制扩展

支持  
全部25项  
S64  
强制扩展

支持  
全部15项  
U64  
可选扩展

支持  
全部8项  
S64  
可选扩展

## 软硬件全系统兼容

# RISC-V系统平台总体规范

RISC-V Server Platform Specification v0.8

子项支持率100% (46/46)

RISC-V Server SoC Specification v1.0

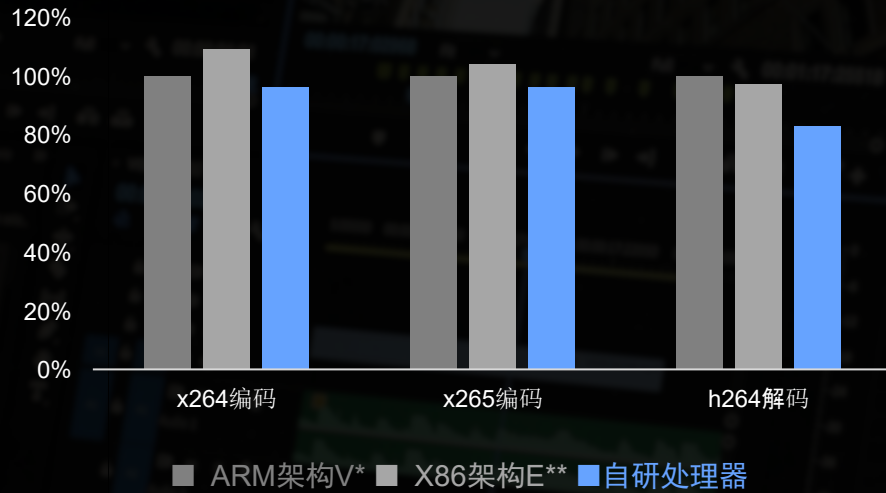
子项支持率达到97% (135/139, MUST 100%)

RISC-V Boot and Runtime Services Specification (BRS) v0.9

子项支持率100% (66/66)



## 视频编解码

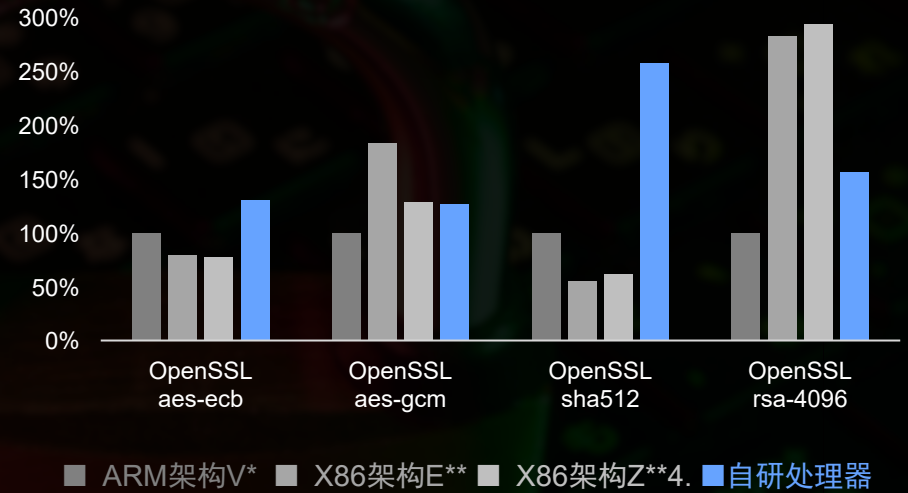


平均编码性能达到 X86 E\*\*的 **90%**  
ARM V\*的 **96%**

平均解码性能达到 X86 E\*\*的 **86%**  
ARM V\*的 **83%**

细粒度动态算力适配 · Agnostic模式增强  
数据打包和绝对值指令扩展

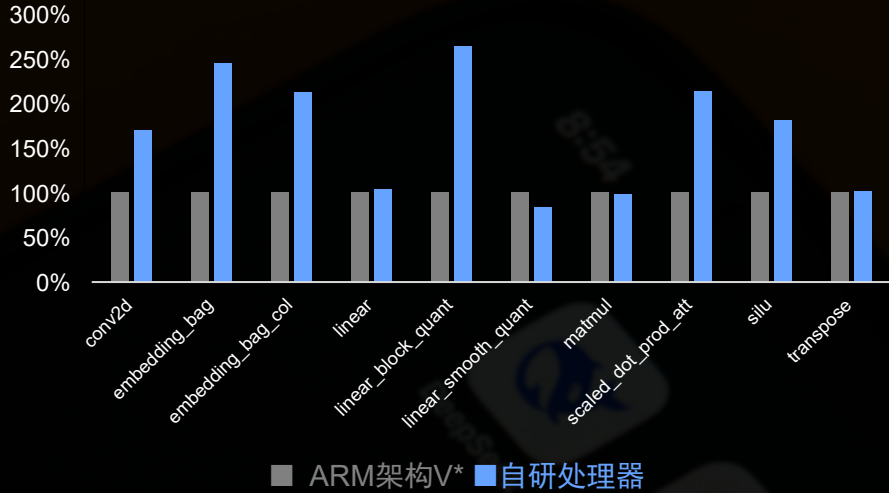
## 加解密计算



平均性能达到 X86 E\*\*的 **188%**  
ARM V\*的 **167%**

无进位乘法增强 · 高斯乘法执行效率优化  
优化消息扩散并行度

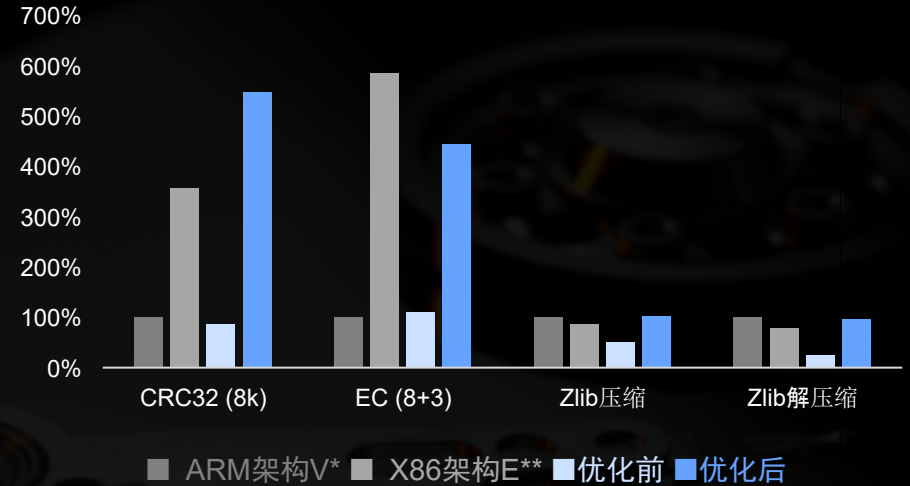
# 大模型推理



主要算子平均性能达到 ARM V\*的 **167%**

AME多核共享矩阵加速器 · Zvfbf\*扩展  
MoE模型算子融合 · 多种数据类型量化

# 数据存储

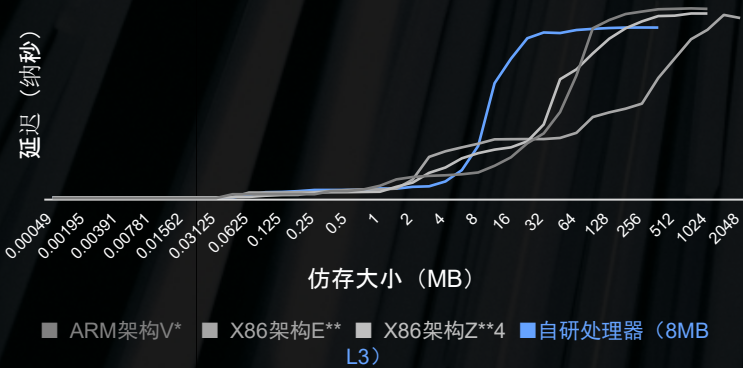


软硬件优化性能提升 **2~6倍**  
平均性能达到 X86 E\*\*的 **117%**  
ARM V\*的 **297%**

优化CRC折叠调度策略 · 改进GF域乘法配置  
改进EC算法寄存器分配

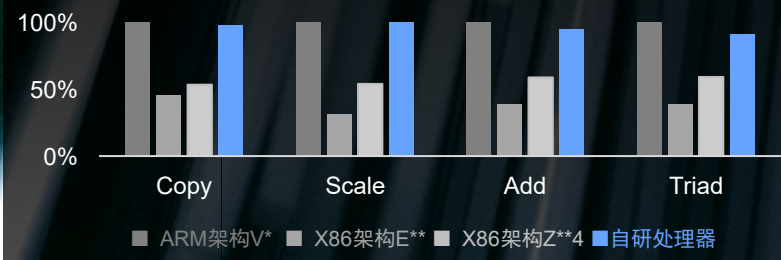
# 仿存性能优化

Imbench lat\_mem\_rd



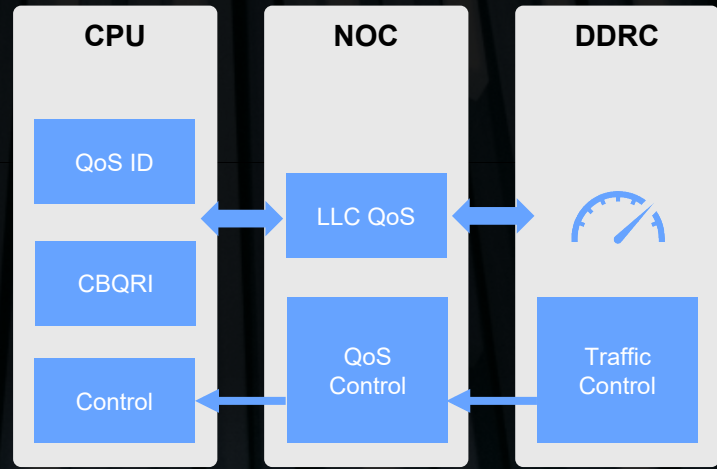
总线延迟比竞品低 **8~11%**

Stream



总线带宽达到x86的 **213%**

# QoS

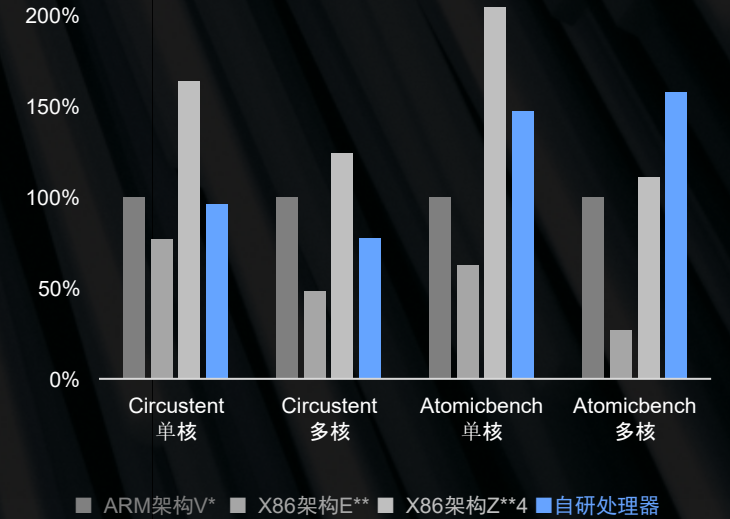


全系统支持RISC-V QoS ID和CBQRI扩展

总线仿存请求自适应调节技术

LLC和DDR资源调度策略优化

# 原子锁



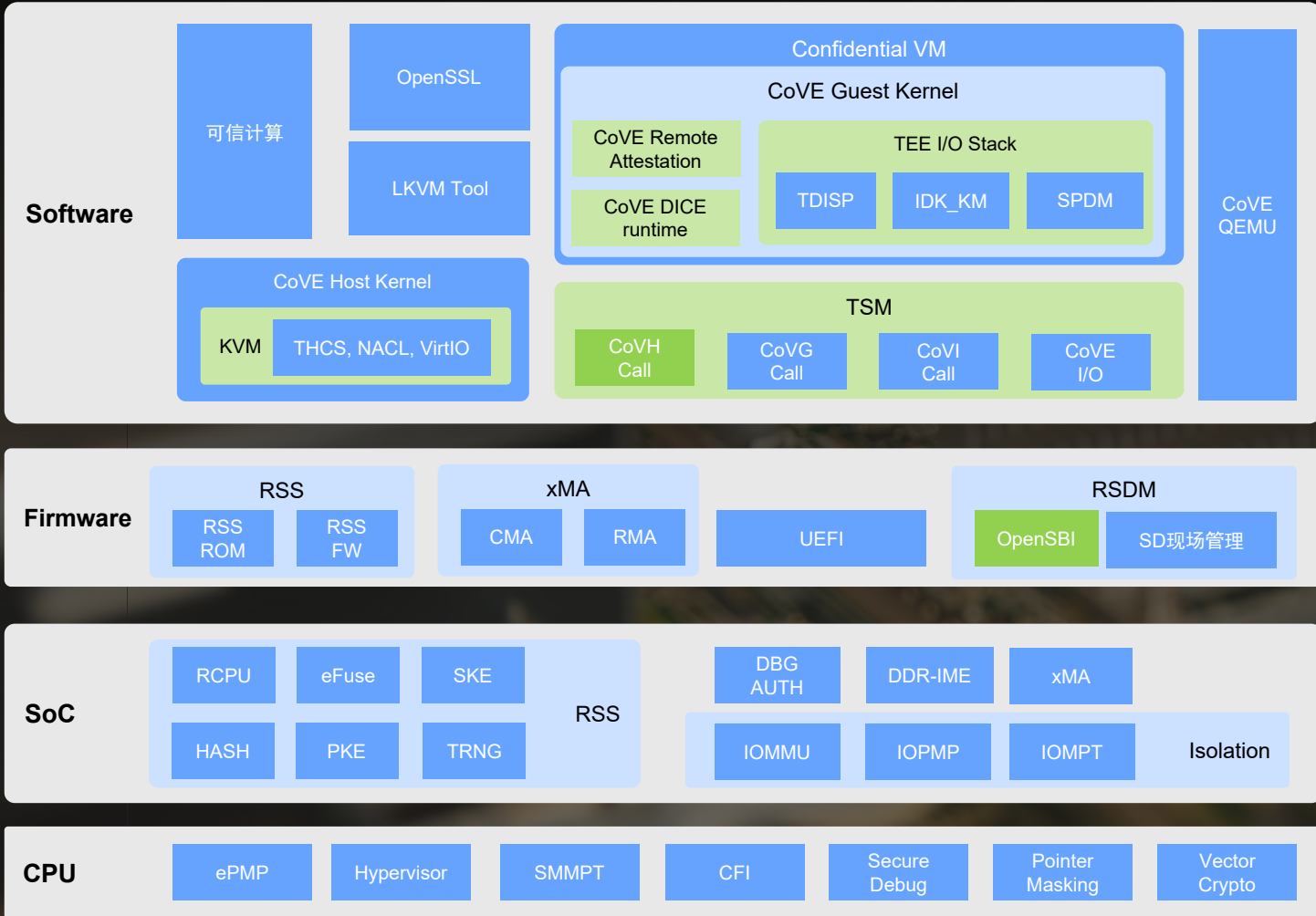
单核和多核 X86 E\*\*的 **278%**  
原子锁性能达到 ARM V\*的 **120%**

支持RISC-V Zacas, Zabha, Zalasr, Zawrs扩展

RISC-V原子操作总线互联适配和优化

# 采用基于CoVE的 高性能软硬件系统安全平台

■ ■ 产品化交付  
■ ■ 社区和外部合作



## 控制流完整性 (CFI)

Shadow Stack · Landing Pad

工具链支持CFI · 内核和核心软件栈采用CFI重构

通用系统应用性能损失<10%，专用应用性能损失<1%

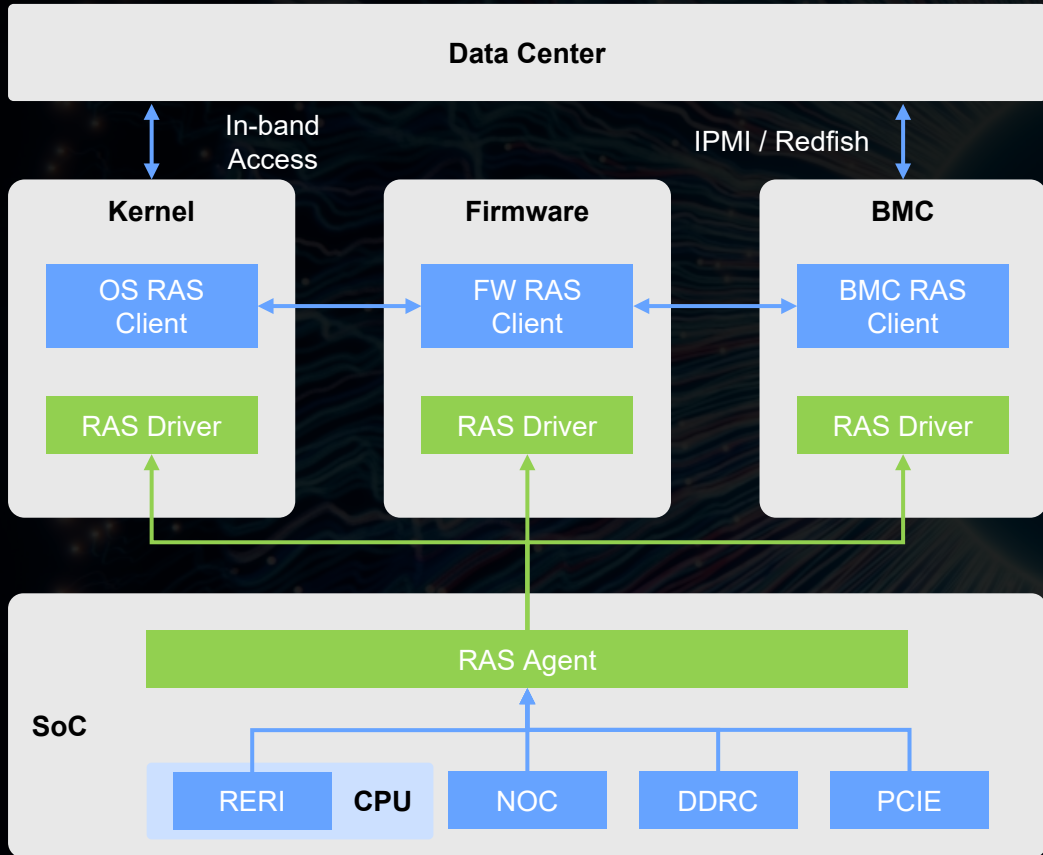
## 抗侧信道攻击

数据推测保护模式系统调用 · 分支预测和异常数据隔离

抵抗Spectre和Meltdown及其多个变种的攻击

保护模式下性能损失<20%

# 全栈RISC-V RAS原生架构



## 全系统采用RISC-V RERI spec v1.0规范

统一RAS使能和故障注入 · 支持带外故障信息上报和收集

适配ACPI、DMTF、UEFI等规范

系统目标可靠性将达到99.999% · 年停机时间预计不超过5.26分钟

## 采用RAS Driver统一软件接口

底层硬件模块解耦 · 简化RAS Client开发和适配

## 采用RAS Agent统一硬件接口

实现标准化的系统故障信息和中断归一处理

CPU支持22种类型的故障分级上报 · NOC、DDR和PCIE RERI接口

# 完善的调试工具与生态支持

## RISC-V标准调试规范



RISC-V Debug Spec v1.0

Smctr/Ssctr

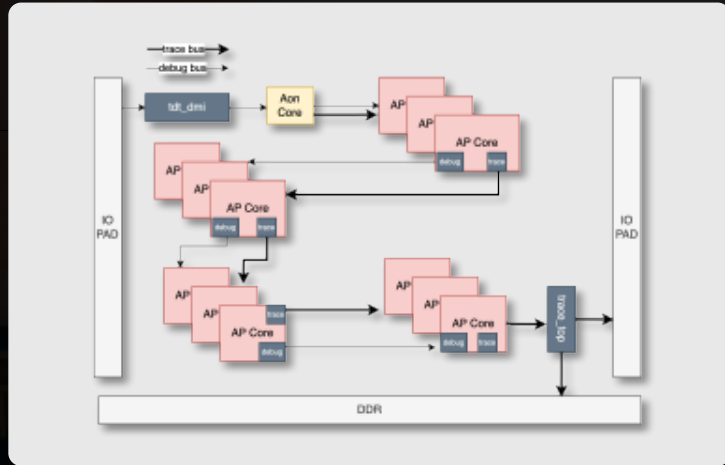
External Debug Security Spec Draft

RISC-V N-Trace Spec 1.0

Trace Control Interface Spec

Trace Connectors Spec

## 系统硬件平台支持



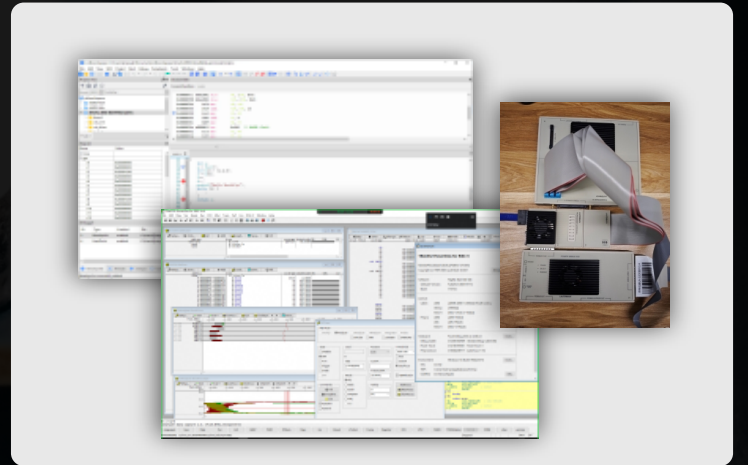
RISC-V Debug和Trace

适配Mesh网络和片上互联

N-Trace to SRAM、DDR和I/O

AP和xMA子系统之间自托管调试

## 调试工具生态支持



集成开发环境：GDB和DebugServer

Perf N-Trace：用户态程序轨迹分析

Lauterbach Trace32调试和Trace支持

IAR, J&D Tech, OpenOCD调试支持

# 易于上手的性能分析工具

## 标准化的性能分析规范

支持RISC-V Hardware Performance Counters Extension (Zihpm)

支持RISC-V Hart Performance Events Draft

## 丰富的性能分析事件

540个性能事件 · Top-Down事件定义 · L1~L4

开放305个性能事件 · L1~L3开放占比95.7%

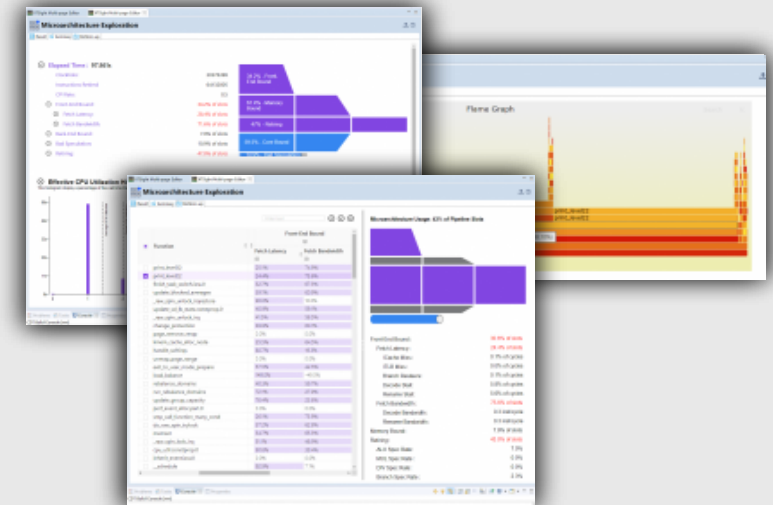
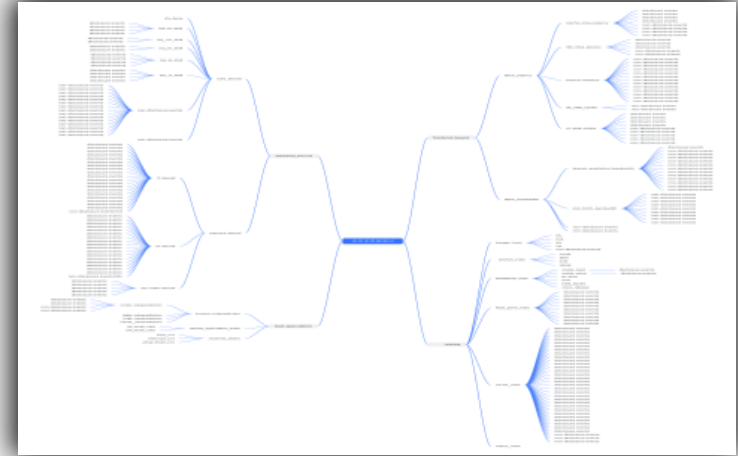
X86规范校准和对比测试

## 性能分析工具支持

Top-Down图形化分析工具 · 标准perf工具

支持火焰图 · 支持细粒度事件追踪 · 路径跟踪和覆盖率分析

板级性能分析和优化效率提升**23%**



## 完全兼容RVA23 Profile

支持全部所有81个强制和可选扩展

## 支持123个RISC-V官方扩展

非官方扩展兼容性增强

## 软硬件全系统兼容

RISC-V Server Platform Spec

RISC-V Server SoC Spec

等数十项平台规范

## RISC-V Debug和Nexus Trace

SOC原生支持 · 调试工具支持

## 540个L1~L4性能事件

Top-Down图形化工具 · Perf工具

## 性能分析效率改进和提升

软硬件敏捷迭代的开发流程

Top-down图形化性能分析平台

高精度性能模型

## PPA架构和流程创新

重构矢量物理寄存器组织结构

压缩指令边界快速识别算法

综合和物理实现一体化的敏捷迭代流程

视频编解码 · 算力适配 · 模式增强

加解密计算 · 无进位乘法 · 高斯乘法

大模型推理 · AME · MoE算子融合

数据存储 · CRC折叠 · GF域乘法

# RISC-V高性能计算

## 实践和创新

## 系统仿存延迟和带宽优化

全系统支持RV QoS · 原子锁增强

## 全栈RISC-V RAS原生架构

统一接口RAS Agent · RAS Driver

## 基于CoVE的软硬件系统安全平台

MPT · 虚拟化 · TSM · Conf. VM

CFI · Shadow Stack · Landing Pad

抗侧信道攻击 · 保护模式 · 数据隔离

FPGA 远程测试申请

现已开放

FPGA实机仿真也已亮相

新思科技Synopsys展台（D10展位）



\*优先支持底层软件团队，将陆续发布测试报告

# 谢谢聆听