

开放处理器产教融合先导班计划

《RISC-V 导论：设计与实践》

课程介绍

上海开放处理器产业创新中心

2025 年 7 月

关于开放处理器产教融合先导班

“开放处理器产教融合先导班计划”旨在联合高校教师和企业专家，共同打造赋能课程的优质课件资源，构建一套完整的 RISC-V 从设计到实践的共享课程体系。该课程体系以丰富的课件资源、多样化的实验案例及切实可行的教学指导材料为特色，致力于促进高校 RISC-V 人才培养，强化校企在人才培养领域的深度合作与交流，为构建良好 RISC-V 生态提供持续性的人才支撑。

为此，上海开放处理器产业创新中心邀请复旦大学、上海交通大学、同济大学、上海科技大学、上海大学、清华大学、北京大学、浙江大学、电子科技大学、西安交通大学、山东大学等高校教师，以及中国科学院软件所和芯原、芯来、赛昉、算能、知合、时擎、芯和等 RISC-V 相关企业和研究机构的行业专家，共同启动并实施了先导班行动计划，精心打造了《RISC-V 导论：设计与实践》课程。该课程是一套面向计算机、电子信息、自动化大类高年级本科生、研究生及授课教师的完整教学体系。课程秉持“开放生态为基、系统设计为纲、产业实践为要”的核心理念，构建了从指令集架构到 SoC 实现、从硬件设计到软件优化的全链条知识体系，助力高校培养兼具理论深度与工程实践能力 RISC-V 技术人才。

首期“RISC-V 研究生选修课先导班”自 2024 年 12 月启动以来，已得到复旦大学、上海交通大学、同济大学、上海科技大学、华东师范大学、上海大学、清华大学、北京大学、浙江大学、电子科技大学、西安交通大学、山东大学、南京大学、东南大学、桂林电子科技大学等全国多所高校的积极响应。我们热忱欢迎更多高校教师加入我们的行动计划！



课程价值与特色优势

四大核心优势

- **技术前沿性：**实时融入 RISC-V 国际基金会最新规范（如 2025 年 5 月技术文档），涵盖 V/Matrix 等前沿扩展
- **工程实践性：**大量课时含实验环节，从模拟器到 FPGA 实现全流程覆盖；贯穿处理器设计、基础软件配套至应用软件开发计算机系统全生命周期。
- **产教融合性：**行业专家参与课程设计与授课，实验案例源自真实产业项目
- **高校适配性：**提供从教案到实验的一站式解决方案，支持不同层次高校灵活开设课程

课程定位与教学目标

本课程作为高校计算机与电子信息学科的专业课程，构建了从 RISC-V 指令集架构到系统级实现的完整教学体系。面向高年级本科生专业进阶与研究生科研创新需要，以“理论筑基 - 技术实践 - 生态认知”为培养主线，帮助学生系统掌握 RISC-V 指令集规范、CPU 微架构设计、SoC 系统集成等核心技术，同步形成对开放指令集生态与先进计算技术融合发展的前沿认知，为高校培养芯片设计、系统开发等领域的创新型人才奠定坚实基础。

目标教学群体

高年级本科生：面向已完成《计算机组成原理》、《汇编语言》、《操作系统》、《编译原理》等选修课程的大三/大四学生，作为一门融通上述各专业核心课程核心内容的综合性实践课程，课程在真实的指令集结构上贯通各课程

的核心知识点。通过模块化知识设计，帮助学生在专业方向选择阶段构建对 RISC-V 技术体系的系统认知，为嵌入式系统开发、处理器设计等就业方向夯实技术基础。

研究生：面向背景多元、攻读计算机体系结构、集成电路设计等方向的硕士/博士研究生，课程深度剖析 RISC-V 可扩展架构特性与高性能设计技术，融入科研案例教学，助力学生在新型处理器架构、边缘计算系统等领域开展创新性研究。

高校授课教师：为承担《计算机体系结构》《嵌入式系统》等课程的教师提供参考性教学资源包。依托校企合作的优势，整合实验案例库、企业项目转化的教学案例，支持教师开展前沿技术融入本科/研究生课程的教学改革实践。

教学阶段与场景设计

在本科高年级教学场景中，课程可作为专业选修课或集中实践课程开设，采用“16周理论教学 + 8周课堂实验 + 8周课下实验”的项目教学模式，以 RISC-V 为核心载体，贯通计算机组成、操作系统、编译原理等系统设计类核心知识模块，帮助学生实现从指令集理解到简单 CPU 设计的实践能力跃升。

在研究生教学场景中，采用“专题研讨 + 科研项目”的教学形式，聚焦 RISC-V 在 AI 芯片、低功耗计算等前沿领域的应用，结合导师科研方向开展定制化实践（如基于 RISC-V 的可重构处理器设计等课题），着力培养学术创新能力。

课程配套提供高校实验室建设方案，包括 RISC-V 处理器开发板、FPGA 验证平台等硬件设施，满足不同高校在实验室资源条件下的教学实施需求。

教学体系创新

1. 产教融合教学团队构建

由 985 高校计算机学院、电子信息学院资深教授领衔，联合 RISC-V 头部企业资深专家，共同组成教学开发团队。高校教师贡献深厚的教学经验，企业

专家则提供真实的应用场景和工业实践技术诀窍（Know-how），深入剖析 RISC-V 在智能手机芯片、物联网终端等实际产品中的落地实现，保障教学内容与产业前沿同步。

2. 动态更新的课程资源库

构建基于 Git 版本控制的课程内容管理系统，按季度更新 RISC-V 国际基金会最新技术规范、主流开源项目（如蜂鸟 E203）的代码解析，并同步迭代课程内容和实验手册。所有资源面向全国高校开放共享，共建可持续进化的课程生态。

3. 阶梯式实践教学体系

基础层：基于 QEMU 模拟器完成指令集功能验证，掌握 RISC-V 汇编编程能力

进阶层：使用 Verilog/HDL 实现单周期/流水线 CPU，通过 FPGA 开发板完成硬件验证，配套相应的基础软件，构成完整的计算机系统

创新层：分组开展 SoC 系统设计项目（如集成 RISC-V 内核与 AI 加速模块的边缘计算芯片原型），深度定制基础软件，打造面向特定应用场景的可信计算机系统

4. 教学+实践体系

建立“理论教学+ 实验操作+ 项目实践”的多元培养体系，鼓励学生优先选用 RISC-V 作为论文选题，提供丰富的企业实践实习机会，并推荐参与全国大学生集成电路创新创业大赛等学科竞赛，探索链接高校、社会与企业的创新型人才培养路径。

《RISC-V 导论：设计与实践（初稿）》课件内容介绍

第一模块 RISC-V 指令集与处理器设计基础

模块定位

立足 RISC 技术演进脉络，构建从指令集规范到处理器微架构的基础认知体系，重点培养指令集设计思维与流水线实现能力。

第 1 章：RISC-V 前世今生

课件目录

第 1 章：RISC-V 前世今生

- 1.1 CPU 与指令级架构的基本概念与发展历史
- 1.2 从 CISC 到 RISC，再到 RISC-V 的演变过程
- 1.3 RISC-V 发展的大趋势：自主、可控、繁荣
- 1.4 开放与开源辨析：RISC-V 的半导体产业链介绍
- 1.5 RISC-V 产业发展
- 1.6 RISC-V 的技术特征与开放生态

学习目标

- 1、了解 RISC 发展简史与发展趋势
- 2、掌握指令集的基本定义、核心特点、设计需求与相关概念
- 3、了解我国处理器设计领域的发展现状

学习内容

- 1、RISC 与 CISC 的定义、核心差异及演进历程
- 2、RISC-V 诞生的历史背景与技术动因、RISC-V 国际标准的发展进程及 RISC-V 国际基金会（RISC-V International）发展历程

3、“开源”与“开放”的核心区别

4、RISC-V 半导体产业链概览，重点了解我国 RISC-V 产业的发展态势

学成效果

了解：常见指令集，指令集发展趋势

理解：掌握指令集相关基础概念与定义

评估：能够区别“开源”与“开放”。

参考文献

1. Patterson D, Waterman A. *The RISC-V Reader: an open architecture Atlas*[M]. Strawberry Canyon, 2017.
2. Saidova J. RISC-V Architecture and its Role in the Near Future[J]. *Journal of Advanced Scientific Research*, 2024, 5(9).
3. 胡振波. 手把手教你设计 CPU—RISC-V 处理器[M]. 北京: 人民邮电出版社, 2018.

科创方向

1. 不同处理器架构的性能评估以及指令集对于处理器性能、能效、设计代
价的影响

第 2 章：RISC-V 的指令级系统

课件目录

第 2 章：RISC-V 的指令级系统

2.1 RV-ISA 基本指令功能

2.2 指令编码、汇编语言

2.3 RV 的指令设计及扩展

学习目标

基础目标：掌握 RISC-V 指令集基础知识，了解计算机基本工作模型；

中阶目标：实现举一反三，能够基于给定指令集手册，对其他指令集手册中内容进行解读；

高阶目标：设计自定义指令集，实现定制化功能拓展，并能在模拟器中实现相应功能；

学习内容

从 RV32I 基础指令内容及架构规范及指令编码出发，可选学习内容为指令集拓展及 RISC-V 指令集发展前沿；具体包括了解 RISC-V 指令集基础、RISC-V 处理器基本设置、RISC-V 基础指令的功能、RISC-V 基础指令的编码、RISC-V 指令拓展等

学成效果

了解：RISC-V 指令集架构中除指令集外还规范了 RISC-V 处理器的哪些设置

理解：RISC-V 基础指令和重要的指令拓展都实现了什么功能

实现：使用汇编语言编程，完成 RISC-V 指令与其机器码之间的转换

评估：RISC-V 基础指令编码设计中有哪些巧思？为什么要这样设计编码？

参考文献

1. RISC-V International. *RISC-V Technical Specifications (Updated May 12, 2025)*[EB/OL]. (2025-05-12)[2025-07-03].
<https://riscv.org/technical/specifications/>.
2. Patterson D A, Hennessy J L. *Computer Organization and Design RISC-V Edition: The Hardware Software Interface*[M]. Morgan Kaufmann, 2017. ISBN: 978-0-12-812275-4.

科创方向

1. RISC-V 的自定义指令拓展及指令设计

第 3 章：RISC-V 的数据通路设计

课件目录

第 3 章：RISC-V 的数据通路设计

3.1 基础指令的数据通路

3.2 单周期、多周期、流水线，以及经典五级流水线的 RV 设计

3.3 非理想流水线问题与解决方法

3.4 更加复杂的处理器架构简介

学习目标

掌握 RISC-V 基础指令在数据通路中的执行逻辑，理解流水线设计原理及其性能影响因素。

学习内容

以 ld/sd（访存）、add/sub/and/or（ALU 运算）、beq（分支）三类指令为例，解析单周期/流水线数据通路结构、控制信号生成机制、流水线冒险（结构冒险/数据冒险/控制冒险）的成因与缓解策略。

学成效果：

了解：微架构核心组件（PC、寄存器堆、ALU、存储器接口）的功能与互连关系；

理解：指令在数据通路中的分阶段执行过程（取指、译码、执行、访存、写回）；

实现：绘制支持 ld/sd/add/beq 的 5 级流水线数据通路图，标注关键控制信号；

评估：量化流水线冒险对 CPI（Cycle Per Instruction）的影响，对比阻塞（Stall）与转发（Forwarding）策略的性能差异。

参考文献

1. 胡振波. 手把手教你 RISC-V CPU[M]. 北京: 人民邮电出版社, 2021.
2. 姚永斌. 超标量处理器设计[M]. 北京: 清华大学出版社, 2014.
3. Harris S, Harris D. *Digital Design and Computer Architecture, RISC-V Edition*[M]. Morgan Kaufmann, 2021.
4. Hennessy J L, Patterson D A. *Computer architecture: a quantitative approach*[M]. Elsevier, 2011.
5. 魏继增, 郭炜. 计算机系统设计. 上册, 基于 FPGA 的 RISC 处理器设计与实现[M]. 电子工业出版社, 2019.

科创方向

1. 基于指令并行的数据通路设计
2. 扩展指令设计与硬件实现

第一模块实验

实验一：蜂鸟 E203 中的数据冒险处理：通过学习蜂鸟 E203 处理器的微架构设计以及基于芯来 RISC-V 编译链和 Verilog 仿真平台的开发验证流程，在原有的流水线微架构中加入转发逻辑，协同 OITF 模块进行数据冒险处理。

学成效果

在熟悉微架构设计的基础上，掌握 OITF 模块的数据流以及控制逻辑设计。
熟悉 E203 处理器对于指令数据冒险的处理

第二模块 基于 RISC-V 的 SoC 硬件架构

模块定位

从系统级视角解析 SoC 集成技术，以蜂鸟 E203 为案例，培养 SoC 架构分析、中断系统设计与低功耗优化能力。

第 4 章：RISC-V SoC 体系架构

课件目录

第 4 章 RISC-V SoC 体系架构

4.1 SoC 基本概念及组成

4.2 SoC 总线设计

4.3 SoC 常见 IP 综述

4.4 案例分析：以蜂鸟 E203 为核心的开源 SoC 框架

学习目标

引导学生建立对 SoC 的宏观认知，理解其设计动因、核心优势与面临挑战；掌握其核心组成部分及协同工作原理；培养芯片级系统分析能力。

学习内容

SoC 基本概念及组成：介绍 SoC 定义、设计背景与应用，分析其优劣势，引入 Chiplet 方案，讲解硬件、软件和集成构成及基础架构。

SoC 总线：讲解总线概念与设计要素，介绍 AMBA 总线标准和蜂鸟 E203 的 ICB 总线协议。

SoC 常见 IP 综述：介绍中断控制器、实时时钟等关键 IP 核的功能。

基于 E203 的开源 SoC 框架：剖析 HBirdv2 SoC 项目整体架构，展示蜂鸟 E203 处理器核结构及其外设 IP。

学成效果

了解 SoC 定义、组成及蜂鸟 E203 架构，知晓常见 IP 核功能。

理解 SoC 设计优势与局限、总线原理。

实现：能识别 SoC 系统框图模块，选择合适外设 IP。

评估：可评估 SoC 架构合理性，对比总线协议场景。

参考文献

- 1、胡振波. 手把手教你 RISC-V CPU[M]. 北京：人民邮电出版社，2021-09.
- 2、Claasen T A C M. An industry perspective on current and future state of the art in system-on-chip (SoC) technology[J]. Proceedings of the IEEE, 2006, 94(6): 1121-1137.
- 3、Schaumont P R. *System on Chip: A Practical Introduction to Hardware/Software Codesign*[M]. New York: Springer, 2013: 237-265.

科创方向

- 1、异构 SoC 架构设计与优化
- 2、SoC 总线架构的性能分析与改进

3、基于 RISC-V 的 SoC 安全架构设计

第 5 章：RISC-V 处理器中断和异常

课件目录

第 5 章 RISC-V 处理器中断和异常

5.1 中断和异常的基本概念

5.2 RISC-V 处理器异常处理

5.3 RISC-V 处理器中断处理

5.4 案例分析：蜂鸟 E203 开源 RISC-V 为核心的处理器异常处理与中断实现方式

学习目标

使学生掌握 RISC-V 架构中异常与中断处理机制，结合蜂鸟 E203 实现，培养底层系统软件设计调试能力。

学习内容：

中断和异常的基本概念：区分同步异常和异步异常。

RISC-V 处理器异常：阐述异常处理机制及相关寄存器操作。

RISC-V 处理器中断：介绍中断类型、控制器及管理方法。

以蜂鸟 E203 开源 RISC-V 处理器核为例：展示其异常与中断实现及调试机制。

学成效果

了解：异常中断概念、类型及蜂鸟 E203 调试系统。

理解：异常处理流程和中断原理。

实现：能判断异常中断来源，编写中断服务程序。

评估：可分析中断处理对系统响应时间影响。

参考文献

- 1、胡振波. 手把手教你 RISC-V CPU[M]. 北京：人民邮电出版社，2021-09.
- 2、Waterman A, et al. The RISC-V Instruction Set Manual Volume II: Privileged Architecture Version 1.7[R]. Berkeley: EECS Department, University of California, Berkeley, 2016.

科创方向

- 1、RISC-V 中断处理的性能优化研究
- 2、面向 RISC-V 的可靠中断与异常处理机制研究
- 3、基于 RISC-V 的虚拟化中断处理技术研究

第 6 章：RISC-V SoC 低功耗与高性能设计

课件目录

第 6 章 RISC-V SoC 架构超低功耗及高性能设计

6.1 超低功耗架构设计方法

6.2 高性能架构设计方法

学习目标

让学生认识功耗和性能关系，掌握低功耗和高性能设计技术，并能够分析先进案例，提升实际应用能力。

学习内容

超低功耗架构设计方法：阐述低功耗设计重要性，介绍各层次技术，以蜂鸟 E203 和 PULP 平台为例讲解。

高性能架构设计方法：介绍提升性能方法，分析 Tenstorrent 和算能 SG2044 案例。

学成效果

了解：低功耗与高性能设计需求、技术和案例亮点。

理解：不同设计技术差异和案例设计哲学。

实现：能识别低功耗技术应用点，提出计算密集型应用加速思路。

评估：低功耗技术影响，对比案例架构设计。

参考文献

1. 胡振波. 手把手教你 RISC-V CPU[M]. 北京: 人民邮电出版社, 2021-09.
2. Conti F, et al. Open-Source Heterogeneous SoCs for AI: The PULP Platform Experience[EB/OL]. (2024-12-20) [2025-07-03]. <https://arxiv.org/abs/2412.20391>.
3. BAJIC, Ljubisa; VASILJEVIC, Jasmina. Compute substrate for Software 2.0. In: 2020 IEEE Hot Chips 32 Symposium (HCS). IEEE Computer Society, 2020. p. 1-31.

4. JAMIESON, Maurice. 64-Core SG2042 RISC-V CPU for HPC. In: High Performance Computing. ISC High Performance 2024 International Workshops. Springer Nature, 2024. p. 354.
5. 赛昉科技, 昉·惊鸿-7110 产品概述, 2024 年 8 月

科创方向

1. 高性能 RISC-V SoC 的微架构创新研究
2. 超低功耗 RISC-V SoC 的设计与实现上
3. 面向 AI 应用的 RISC-V SoC 异构加速器设计

第二模块实验:

实验二: 基于蜂鸟 E203 的内外部中断实验: 配置 CLINT 和 GPIO、PLIC 模块, 学习中断产生与处理, 在 FPGA 开发板上验证。

实验三: 基于蜂鸟 E203 及 DMA 的 SoC 集成实验: 掌握 DMA 原理, 集成 DMA 控制器 IP 到 SoC, 实现数据搬运与计算验证。

学成效果:

了解: FPGA 验证 SoC 流程及开发工具使用, 熟悉蜂鸟 E203 中断和 DMA 模块接口。

理解: 中断差异和 DMA 原理。

实现: 能完成 E203 SoC 部署、软件编写与 IP 集成。

评估: 可判断中断程序执行情况, 分析数据搬运差异, 具备调试能力。

第三模块 嵌入式系统软件开发

模块定位

聚焦 RISC-V 平台的嵌入式软件开发全流程，培养从汇编编程到操作系统移植、从驱动开发到应用优化的综合能力。

第 7 章：RISC-V 编程

课件目录

第 7 章 RISC-V 编程

7.1 RISC-V 汇编语言程序设计

7.2 RISC-V GNU 工具链

7.3 案例分析：集成开发环境 Nuclei Studio

学习目标

掌握 RISC-V 汇编语言编程、GNU 工具链使用及集成开发环境 Nuclei Studio 操作。

学习内容

掌握 RISC-V 汇编语言编程（必学）

理解 RISC-V 汇编语言的基本结构、指令集与伪指令功能（如数据定义、符号声明、段定义等）；

能编写简单的 RISC-V 汇编程序，实现数据处理、流程控制（分支 / 循环）等基础逻辑；

掌握汇编程序与 C/C++ 语言的混合编程方法（嵌入汇编代码或调用 C 函数）。

熟悉 RISC-V GNU 工具链的使用（必学）

了解 RISC-V GNU 工具链的核心组件（GCC 编译器、Binutils 工具、GDB 调试器等）；

能使用工具链完成汇编程序的编译、链接、调试及格式转换（如.elf 转.bin）；

掌握通过命令行参数配置架构（-march）、ABI（-mabi）等编译选项。

掌握集成开发环境 Nuclei Studio 的操作（拓展）

了解 Nuclei Studio 的功能特点（代码编辑、编译调试、可视化界面等）；

能通过 Nuclei Studio 创建、编译和调试 RISC-V 项目，熟悉其工程管理流程。

学成效果

了解：熟悉开源工具链的生态，为后续 RISC-V 架构开发（如操作系统、驱动程序）奠定基础。

理解：RISC-V 汇编语言的语法规则和编程模型，区分伪指令与真实指令的差异；掌握 RISC-V 工具链的全流程使用，从源代码到可执行文件的完整构建过程；

实现：能独立编写包含数据操作、分支判断、循环结构的 RISC-V 汇编程序；能通过 GDB 调试汇编程序，定位运行时错误；能在实际项目中灵活运用汇编与 C/C++ 混合编程，优化关键代码性能。

评估：Nuclei Studio 在 RISC-V 开发中的应用场景，对比命令行工具与 IDE 的优缺点。

参考文献：

1. 胡振波. 手把手教你 RISC-V CPU[M]. 北京：人民邮电出版社，2021-09.
2. 王剑，刘鹏，陈景伟. 嵌入式系统原理与开发——基于 RISC-V 和 Linux 系统[M]. 北京：清华大学出版社，2024.

3. Nuclei Studio_RISC-V MCU 中文社区

科创方向

1. RISC-V 伪指令的实现原理：分析不同伪指令在汇编阶段的转换逻辑，对比不同工具链，如 GCC 与 LLVM 的处理差异
2. RISC-V 汇编与 C 语言混合编程优化：探讨如何通过内联汇编提升 C 程序关键函数的执行效率，如数学运算、位操作，并测试性能差异
3. 基于 RISC-V 的嵌入式系统开发：使用 RISC-V GNU 工具链和 Nuclei Studio 开发一个简单的嵌入式程序，如 LED 控制、串口通信，实现硬件与软件的协同调试
4. RISC-V 向量指令集（RVV）的汇编编程：结合 RVV 指令集特性，尝试编写向量运算的汇编程序，如矩阵乘法、FFT 变换，利用工具链的向量化优化选项

第 8 章：嵌入式操作系统 FreeRTOS 移植

课件目录

第 8 章 嵌入式操作系统 FreeRTOS 移植与示例运行

8.1 操作系统 (OS) 与实时操作系统 RTOS

8.2 案例分析：FreeRTOS 和蜂鸟 E203 上的 Free RTOS 移植

学习目标

结合 FreeRTOS，了解实时操作系统，掌握其移植方法。

学习内容

了解 FreeRTOS 的移植所需的关键准备工作内容

具备移植 FreeRTOS 所需要的基本知识体系，能够完成 RISC-V 处理器的 FreeRTOS 移植工作

理解 FreeRTOS 操作系统的运行模式

了解保障嵌入式软件正确性的模型检测方法

学成效果

了解：FreeRTOS 源代码目录的作用、硬件抽象层、编译器调整和验证等各个步骤在 RTOS 移植过程中的作用

理解：RTOS 的基本概念、移植各步骤的实现方法

实现：FreeRTOS 的移植

评估：RTOS 和 Baremetal 程序开发的不同、RTOS 程序开发的方法

参考文献

1. Amazon. [FreeRTOS Documentation](#)
2. Nuclei. [GitHub - riscv-mcu/e203_hbirdv2: The Ultra-Low Power RISC-V Core](#)
3. 胡振波. 手把手教你 RISC-V CPU[M]. 北京: 人民邮电出版社, 2021-09.

科创方向

1. FreeRTOS 在不同规格和配置的 RISC-V 处理器移植的不同实现方案
2. FreeRTOS 在不同规格和配置的 RISC-V 处理器移植的不同方案的性能评测

第 9 章：嵌入式软件运行机制

课件目录

第 9 章 嵌入式软件运行

9.1 高级语言翻译

9.2 程序的运行

9.3 案例分析：HelloWorld 程序运行过程综述

9.4 进阶：嵌入式软件行为的安全可靠保障

学习目标

以蜂鸟 SoC 为实践平台，了解硬件 / 软件接口关键基础知识；深入理解操作系统为程序的运营提供的服务，培养开发安全、可靠嵌入式软件的工程能力。

学习内容

结合蜂鸟 SoC，了解硬件/软件接口（必学）：计算机是一个软硬件协同工作的整体、高级语言程序到 RISC-V 机器指令的翻译过程

围绕 FreeRTOS，理解操作系统为程序的运行提供的服务（必学）：计算机运行程序前的准备工作、一个程序运行所得到的操作系统支持

开发安全可靠的嵌入式软件（拓展）

学成效果

了解：保障嵌入式软件正确性的模型检测方法

理解：操作系统帮助下 RISC-V 机器语言程序的执行过程

实现：计算机将 C 或 Python 等高级语言程序翻译成机器指令的过程

评估：C 语言在蜂鸟 SoC 上的各种性能优化方案

参考文献

1. Amazon. *FreeRTOS Documentation*[EB/OL]. (2025-01-15) [2025-07-03]. <https://www.freertos.org/Documentation/>.
2. Atif M, Groote J F. *Understanding Behaviour of Distributed Systems Using mCRL2*[M]. Cham: Springer, 2023.
3. Nuclei. GitHub - riscv-mcu/e203_hbirdv2: The Ultra-Low Power RISC-V Core[EB/OL]. (2025-03-15) [2025-07-03]. https://github.com/riscv-mcu/e203_hbirdv2.
4. Samek M. *Practical UML Statecharts in C/C++*[M]. 2nd ed. Boca Raton: Taylor and Francis, 2009.
5. Wang J. *Real-Time Embedded Systems*[M]. Hoboken: Wiley, 2017.

科创方向

1. 针对蜂鸟 E203 的编译器优化
2. 在资源受限的 RISC-V SoC 上实现自适应控制算法
3. 验证控制算法的安全性和可靠性
4. 高级 RISC-V 计算机系统中多核任务分配对系统实时性能的影响

第 10 章：嵌入式系统应用案例

课件目录

第 10 章 嵌入式系统应用案例

10.1 脉冲宽度调制 (PWM) 应用开发方法

10.2 同步串行通信 (SPI) 接口应用

10.3 嵌入式系统实际应用案例

学习目标

了解 MCU 硬件接口模块及嵌入式系统开发示例。

学习内容

MCU 硬件接口模块

硬件接口功能介绍

接口初始化与控制方法

嵌入式系统开发示例

学习如何用软件程序控制硬件接口工作

学成效果

了解：MCU 常见外设接口的构造与工作原理

理解：硬件接口编程控制方法

实现：接口初始化与控制

评估：嵌入式系统在实际工程中的应用

参考文献：

1. 胡振波. 手把手教你 RISC-V CPU[M]. 北京：人民邮电出版社，2021-09.
2. 王剑等，嵌入式系统原理与开发-基于 RISC-V 与 linux 系统. 北京：清华大学出版社，2024-6.

科创方向

1. 针对蜂鸟 E203 的接口开发
2. 嵌入式 MCU 在工业控制领域的应用
3. 嵌入式 MCU 在移动产品领域的应用
4. 嵌入式 MCU 在新能源领域的应用

第三模块实验

实验四：I2C 温度传感器测试

完成硬件接口初始化、I2C 协议时序模拟及温度数据解析，通过 LCD 显示或串口输出温度值。

学成效果

学习和掌握 I2C 接口设备的设计与控制

第四模块 智算时代的 RISC-V

模块定位

面向 AI 与大模型时代的算力需求，系统讲解 RISC-V 的向量 / 矩阵扩展技术，培养异构计算架构设计与智能应用加速能力。

第 11 章：智慧计算的发展趋势

课件目录

第 11 章智慧计算的发展趋势

- 11.1 摩尔定律兴衰、算力需求与供给的矛盾
- 11.2 超越摩尔定律与冯·诺依曼瓶颈的计算革新
- 11.3 软件新挑战与开源生态
- 11.4 RISC-V 扩展指令
- 11.5 RISC-V 及扩展指令案例

学习目标

引导学生知悉智慧计算领域的发展脉络，了解异构计算、多元架构协同等前沿技术的原理与应用场景。培养学生分析硬件革新对软件带来的挑战及应对策略的能力，突出 RISC-V 在智慧计算中的创新价值与实践应用，提升对智慧计算技术发展趋势的前瞻性认知与技术评估能力。

学习内容

1. 摩尔定律兴衰、算力需求与供给的矛盾：介绍摩尔定律瓶颈及算力供需矛盾影响。

2. 超越摩尔定律与冯·诺依曼瓶颈的计算革新：分析 RISC-V 与 DSA 结合、CPU 和 GPU 特点及异构计算优势。

3. 软件新挑战与开源生态：论述硬件革新对软件挑战及应对方向，OpenCL、OpenGL、Vulkan 在跨平台并行编程中的作用和优势。。

4. RISC-V 扩展指令：阐述 RISC-V 特性、应用及扩展优势，展示企业案例。

学成效果

了解：相关智慧计算核心概念、架构特点、软件挑战及 RISC-V 特性。

理解：异构计算技术路径和软件工具作用。

实现：能够判断计算架构适用性，分析 RISC-V 应用可行性，提出软件应对思路。

评估：算力供需影响，评价 RISC-V 价值，预测技术趋势。

参考文献：

1. Yu Z, Liang S, Ma T, et al. Cambricon-LLM: A Chiplet-Based Hybrid Architecture for On-Device Inference of 70B LLM[C]//Proceedings of the 57th IEEE/ACM International Symposium on Microarchitecture (MICRO). IEEE, 2024: 1474-1488.
2. Wang S, Wang X, Xu Z, et al. Optimizing CNN Computation Using RISC-V Custom Instruction Sets for Edge Platforms[J]. IEEE Transactions on Computers, 2024, 73(5): 1371-1384.
3. Syu J H, Lin J C W, Srivastava G, et al. A Comprehensive Survey on Artificial Intelligence Empowered Edge Computing on Consumer Electronics[J]. IEEE Transactions on Consumer Electronics, 2023, 69(4): 1023-1034.

科创方向

1. 基于 DSA 的视觉 Transformer 模型加速设计与实现
2. CPU-NPU 异构架构下的模型压缩协同优化策略
3. 基于 GPU-FPGA 异构的实时视频处理任务卸载与优化

第 12 章：V 扩展指令集

课件目录

第 12 章 V 扩展指令集

12.1 RISC-V V 扩展简介

12.2 V 扩展基本模型

12.3 V 扩展核心指令集

12.4 V 扩展的应用与未来

学习目标

本章聚焦 RISC-V V 扩展技术，让学生掌握 RVV 指令集设计理念、架构与体系，理解向量化计算优势，培养应用能力。

学习内容

RISC-V V 扩展概述：介绍向量化计算优势及 RVV 设计目标。

V 扩展基本模型：介绍向量寄存器结构和 CSR 功能。

V 扩展核心指令集：介绍指令类型、功能及示例。

V 扩展的应用与未来：阐述应用领域和未来发展方向。

学成效果

了解：V 扩展相关概念、应用场景及未来方向。

理解：向量化计算原理和指令集设计逻辑。

实现：能够编写 V 扩展指令程序，优化软件性能。

评估：V 扩展适用性和未来发展可行性和局限性。

参考文献

1. Wang C, Fang C, Wu X, et al. SPEED: A Scalable RISC-V Vector Processor Enabling Efficient Multiprecision DNN Inference[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2024.
2. Guthmuller E, Fuguet C, Bocco A, et al. Xvpfloat: RISC-V ISA extension for variable extended precision floating point computation[J]. IEEE Transactions on Computers, 2024.
3. Perotti M, Cavalcante M, Ottaviano A, et al. Yun: An open-source, 64-bit RISC-V-based vector processor with multi-precision integer and floating-point support in 65-nm CMOS[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 70(10): 3732-3736.

科创方向

1. 基于 RISC-V V 扩展指令集的稀疏矩阵向量乘法性能优化
2. RISC-V V 扩展指令集在图像滤波算法中的高效实现
3. 基于 RISC-V V 扩展指令集的 FFT 算法硬件加速设计

第 13 章: Matrix 与 P/K/VK 扩展指令集

课件目录

第 13 章 Matrix 与 P/K/VK 扩展指令集

13.1 RISC-V Matrix 扩展指令集

13.2 P 扩展指令集

13.3 K 扩展指令集

13.4 VK 扩展指令集

13.5 生态链与设计哲学

学习目标

通过本章教学使学生全面掌握各扩展指令集的设计理念、技术特性、应用场景与实现架构。

学习内容

Matrix 扩展指令集：介绍架构、参数、指令等。

P 扩展指令集：介绍其为小型处理器提供的并行计算支持。

K 扩展指令集：介绍其解决密码学操作效率问题的设计。

VK 扩展指令集：VK 扩展结合 V 扩展和 K 扩展，面向高端应用，旨在用向量化方法加速密码运算，具有吞吐量提升和能耗效率比提升的优势。

开源工具链与生态系统及设计哲学：介绍工具链支持和设计哲学。

学成效果

了解：各扩展指令集相关信息、工具链支持和设计哲学。

理解：各扩展指令集设计原理和特性。

实现：能够选择合适扩展指令集，编写程序，使用工具链。

评估：扩展指令集适用性和发展趋势。

参考文献

1. Kim H, Ye G, Wang N, et al. Exploiting intel® advanced matrix extensions (amx) for large language model inference[J]. IEEE Computer Architecture Letters, 2024.
2. Ali M, Aliagha E, Elnashar M, et al. RV-VP 2: Unlocking the Potential of RISC-V Packed-SIMD for Embedded Processing[C]//International Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation. Cham: Springer Nature Switzerland, 2024: 59-71.
3. Zhao Y, Xie R, Xin G, et al. A high-performance domain-specific processor with matrix extension of RISC-V for module-LWE applications[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2022, 69(7): 2871-2884.

科创方向

1. 基于 RISC-V Matrix 扩展指令集的边缘 AI 推理性能优化
2. P 扩展指令在 H.264 视频编码帧内预测的优化实现
3. 基于 K 扩展指令的 AES-256-GCM 模式硬件加速设计

第四模块实验

实验五：矩阵运算案例实验：对比 C 语言和自定义指令实现矩阵运算，介绍 NICE 指令及扩展。

实验六：Yolo 目标检测加速实验：基于 AI 需求，介绍加速器架构、模型及验证方法。

实验七：RISC-V 自定义扩展（Vortex - GPGPU）：介绍异构系统架构和指令扩展。

学成效果

了解：实验背景、架构和工具功能。

理解：实验原理和架构设计逻辑。

实现：完成实验程序编写与开发，实现模型加速。

评估：指令集扩展效果，分析实验架构可行性。

参与教师介绍（成员按姓氏拼音字母序排列）：

模块一

组长：邹卓 复旦大学

成员：李娇 上海大学

刘思廷 上海科技大学

燕博南 北京大学

王春东 上海科技大学

王勇 桂林电子科技大学

吴炳洋 东南大学

杨晨 西安交通大学

周经森 浙江大学

模块二

组长：孙亚男 上海交通大学

成员：郭爱英 上海大学

何浩 上海交通大学

蒋剑飞 上海交通大学

刘亚男 上海大学

王琴 上海交通大学

王忆文 电子科技大学

吴克强 浙江大学

模块三

组长：张睿 复旦大学

成员：陈辰 复旦大学

方向忠 上海交通大学

徐辉 复旦大学

袁大庆 中科院软件所

张金君 中科院软件所

张亮 复旦大学

模块四

组长：梁峰 西安交通大学

成员：戴鸿君 山东大学

何虎 清华大学

李辉 电子科技大学

孙海平 同济大学

吴凯 南京大学

专家介绍

戴伟民 上海开放处理器产业创新中心理事长 中国 RISC-V 产业联盟理事长 芯原股份创始人、董事长兼总裁

谢涛 上海开放处理器产业创新中心 秘书长 复旦大学 双聘顶尖人才 北京大学 讲席教授

胡振波 芯来科技创始人 CTO

彭剑英 上海开放处理器产业创新中心 副理事长 芯来科技 联合创始人 CEO

段建钢 上海开放处理器产业创新中心高级顾问 英特尔亚太研发有限公司研发总监

仇健乐 时擎智能科技 研发副总裁

范健 上海赛昉 销售总监

白峰 算能科技 生态合作总监

许冰青 芯和半导体 技术市场经理

林时放 芯原股份 软件开发技术总监

陆嘉骏 知合计算 生态合作负责人

参与企业:

达摩院（上海）科技有限公司

上海赛昉科技有限公司

上海算湖科技有限公司

时擎智能科技（上海）有限公司

芯和半导体科技（上海）股份有限公司

芯来智融半导体科技（上海）有限公司

芯原微电子（上海）股份有限公司

知合计算技术（深圳）有限公司

上海开放处理器产业创新中心

上海开放处理器产业创新中心（简称：创新中心）于2024年9月在上海浦东张江正式成立，坐落于集创路52号创芯天地一号楼15楼。创新中心是由国内领先的半导体设计公司芯原股份、芯来科技，以及达摩院（上海）共同发起设立的一家民办非企业单位。

创新中心旨在协同 RISC-V 产业链上下游企业，包括芯片设计企业、IP 供应商、系统厂商、软件开发商、终端厂商以及顶尖科研院所，共建 RISC-V 关键共性技术平台，用开放的硬件平台构建开源的软件生态，从而有力促进 RISC-V 技术的产业化应用和商业化落地。

此外，创新中心还将与国内重点高校展开深度合作，通过共建 RISC-V 特色课程体系、设立联合实验室、建立实训实习基地等方式，系统性地培养具备 RISC-V 专业技能的复合型人才，为产业发展提供持续的人才支撑。

联系与合作



上海市浦东新区创芯天地一号楼 15 层

- 邮箱: contact@sopic.org
- 官网: <https://www.sopic.org> 登录官网获取下载课件链接
- 微信公众号: 上海开放处理器产业创新中心